

修 士 論 文 の 和 文 要 旨

研究科・専攻	大学院 情報理工学研究科 情報・ネットワーク工学専攻 博士前期課程		
氏 名	青木 いりあ	学籍番号	1931001
論 文 題 目	積層サスペンデッドマイクロストリップ線路共振器を用いたチップ素子内蔵 BPF に関する研究		
<p>要 旨</p> <p>近年の無線通信技術の発展に伴い、通信機器の小型化及び多機能化が要求されている。また、限られた周波数資源を有効に活用するために、特定の周波数帯の信号を取り出す Band-Pass Filter(BPF)の研究が盛んに行われている。BPF は設計の容易さから単層のプリント回路基板を用いた設計が主流だが、周波数特性の向上を行うためには回路面積が肥大化する欠点が存在する。そのため、これ以上の面積方向の小型化を追求する場合に、単層の平面回路構造の小型化には限界が見え始めている。そこで、単層構造よりも面積方向に対して小型化可能な積層構造に着目した。基板を積層化した多層基板は近年無線通信以外にも様々な場面で使用されるようになり、特に貫通基板及びビルドアップ基板は広く使用されている。一般に、積層回路構造は熱プレスやスルービア加工が必要であるが、特殊装置を用いた加工が必要である。そこで、今回はそれらの加工を必要としない構造である積層サスペンデッドマイクロストリップ線路構造による積層共振器を用いた BPF に注目し、基板加工機を用いた積層基板の作製方法について検討を行う。また、その方法を応用してチップ素子内蔵積層共振器について検討する。チップ素子を用いる理由としては、平面型 BPF にチップ素子を用いることにより回路サイズが大幅に小型化することが示されており、積層構造と組み合わせることにより更なる小型化が期待されるためである。一般的にチップ素子は表面実装されるが、基板の歪みによる素子の破損や配線密度の高密度化が難しいという欠点があり、チップ素子を内蔵することによりこれらの欠点が解消できる可能性がある。</p> <p>本研究では、基板加工機を使用した積層基板の試作手法による、積層サスペンデッドマイクロストリップ線路構造の 2 層の積層共振器及びその共振器を用いた小型 BPF の設計及び試作を行う。加えて、積層サスペンデッドマイクロストリップ線路構造を用いたチップ素子内蔵積層共振器の有効性を示すために共振器の設計及び試作を行う。その結果を 3 段 BPF の構造設計にフィードバックし、積層構造の BPF の実現可能性を示すことを目的とした。</p>			

令和元年度 修士論文

積層サスペンデッドマイクロストリップ線路
共振器を用いたチップ素子内蔵BPF
に関する研究

学籍番号 1931001

氏名 青木 いりあ

情報理工学研究科 情報・ネットワーク工学専攻

主任指導教員 和田 光司 教授

指導教員 小野 哲 助教

提出日 令和3年1月25日

令和元年度 修士論文

積層サスペンデッドマイクロストリップ線路
共振器を用いたチップ素子内蔵BPF
に関する研究

学籍番号 1931001

氏名 青木 いりあ

情報理工学研究科 情報・ネットワーク工学専攻

主任指導教員 和田 光司 教授

指導教員 小野 哲 助教

提出日 令和3年1月25日

概要

【目的】

近年の無線通信技術の発展に伴い，通信機器の小型化及び多機能化が要求されている．また，限られた周波数資源を有効に活用するために，特定の周波数帯の信号を取り出す Band-Pass Filter(BPF) の研究が盛んに行われている．BPF は設計の容易さから単層のプリント回路基板を用いた設計が主流だが，周波数特性の向上を行うためには回路面積が肥大化する欠点が存在する．そのため，これ以上の面積方向の小型化を追求する場合に，単層の平面回路構造の小型化には限界が見え始めている．そこで，単層構造よりも面積方向に対して小型化可能な積層構造に着目した．基板を積層化した多層基板は近年無線通信以外にも様々な場面で使用されるようになり，特に貫通基板及びビルドアップ基板は広く使用されている．一般に，積層回路構造は熱プレスやスルービア加工が必要であるが，特殊装置を用いた加工が必要である．そこで，今回はそれらの加工を必要としない構造である積層サスペンデッドマイクロストリップ線路構造による積層共振器を用いた BPF に注目し，基板加工機を用いた積層基板の作製方法について検討を行う．また，その方法を応用してチップ素子内蔵積層共振器について検討する．チップ素子を用いる理由としては，平面型 BPF にチップ素子を用いることにより回路サイズが大幅に小型化することが示されており，積層構造と組み合わせることにより更なる小型化が期待されるためである．一般的にチップ素子は表面実装されるが，基板の歪みによる素子の破損や配線密度の高密度化が難しいという欠点があり，チップ素子を内蔵することによりこれらの欠点が解消できる可能性がある．

本研究では，基板加工機を使用した積層基板の試作手法による，積層サスペンデッドマイクロストリップ線路構造の 2 層の積層共振器及びその共振器を用いた小型 BPF の設計及び試作を行う．加えて，積層サスペンデッドマイクロストリップ線路構造を用いたチップ素子内蔵積層共振器の有効性を示すために共振器の設計及び試作を行う．その結果を 3 段 BPF の構造設計にフィードバックし，積層構造の BPF の実現可能性を示すことを目的とした．

【方法】

本研究においては、ヘアピン形共振器をで構成した2層の積層サスペンデッドマイクロストリップ線路共振器の設計を行い、その共振器を用いて2層の3段BPFの設計及び試作実験を行い評価した。試作実験の際には、基板加工機を用いた短時間かつ手作業で積層できる積層基板の実現が可能となる手法を提案し、その手法による積層BPFの実現及び手法の有効性を確認した。加えて、電磁界シミュレータにてチップ素子を積層基板に内蔵した回路構造について構造化を行い、基板の歪みに配慮した小型BPFの評価を行った。

計算には、電磁界シミュレータ Sonnet 15.52(Sonnet Software, Inc.) 及び HFSS 12(Ansys Inc.) を用いた。また、試作には基板加工機 FP-21T Precision(ミッツ株式会社) を用いた。試作した回路の測定には、ベクトルネットワークアナライザ (VNA:Vector Network Analyzer)(ZVB20 : Rohde&Schwarz GmbH&Co.KG) を用いた。

【研究成果】

特殊装置を用いた加工を必要としない、基板加工機を用いた短時間かつ手作業で積層できる積層基板の試作手法を提案し、有効性を確認した。また、その手法を用いて積層サスペンデッドマイクロストリップ線路共振器で構成した2層のBPFを実現した。加えて、共振器にチップキャパシタの内蔵を行い、チップ素子内蔵積層共振器を実現し、その共振器を用いたBPFを設計した。

目次

第1章 序論	1
1.1 背景	1
1.2 目的	2
1.3 先行技術	3
1.3.1 Low-Pass Filter(LPF) 及び High-Pass Filter(HPF) を組み合わせた平面小型 BPF[1]	3
1.3.2 BPF の再構成によるマイクロストリップ線路小型 BPF[2]	5
1.3.3 ブロードサイド結合インターディジタル共振器 [3]	8
1.3.4 ブロードサイド結合共振器を用いた BPF[4]	9
1.3.5 ブロードサイド結合オープンリング共振器 BPF[5]	11
1.3.6 LTCC 基板を用いた 2 層 10 段 BPF[6]	13
1.3.7 Composite Right/Left-Handed(CRLH) 伝送線路共振器を用いた 2GHz 帯有極形小型 BPF[7]	15
1.3.8 ブロードサイド結合構造及び容量装荷スタブを組み合わせた超広帯域 BPF[8]	17
第2章 従来工法に対する本研究の提案	19
2.1 従来工法 [9]	19
2.1.1 貫通基板	19
2.1.2 ビルドアップ基板	20
2.2 従来工法の問題点	21
2.2.1 プレス	21
2.2.2 ビアホール	21

2.3	本研究で提案する構造	21
2.3.1	積層サスペンデッドマイクロストリップ線路構造	21
2.3.2	従来工法に対する積層サスペンデッドマイクロストリップ線 路構造の利点	22
2.4	基板材料 [11]	23
第 3 章	積層共振器を用いた回路の試作方法	24
3.1	試作の流れ	24
3.1.1	プリント回路基板の加工	25
3.1.2	貫通穴の作製	26
3.1.3	貫通穴の拡張	26
3.1.4	Layer1 裏面の銅箔の剥離	27
3.1.5	ネジ及びナット止め	28
3.1.6	SMA コネクタの装荷	29
3.2	試作方法の考察	30
第 4 章	積層共振器の設計及び試作実験	31
4.1	設計仕様	31
4.2	共振器形状	32
4.3	積層共振器の構造	32
4.4	積層共振器の設計	33
4.5	積層共振器の試作実験	35
第 5 章	積層共振器を用いた 2 層 3 段 BPF の設計及び試作実験	38
5.1	外部 Q 値及び結合係数の算出	38
5.1.1	外部 Q 値	38
5.1.2	結合係数	41
5.1.3	求めた外部 Q 値及び結合係数を用いて設計した BPF	43
5.2	BPF の設計	45
5.3	BPF の試作実験	47

第 6 章	試作実験の考察	49
6.1	再現性の確認	49
6.2	積層共振器の比誘電率の合わせこみ	51
6.3	空気層の厚みの影響	54
6.3.1	空気層の厚みが増えた際の伝送特性	54
6.3.2	試作した回路のネジ調整	56
6.4	遮蔽による変化	59
第 7 章	チップ素子内蔵積層共振器の設計及び試作実験	61
7.1	チップ素子を内蔵する利点	61
7.1.1	チップ素子	61
7.1.2	本検討の共振器構造	62
7.2	チップ素子内蔵積層共振器の設計	63
7.3	チップ素子内蔵積層共振器の試作実験	66
第 8 章	チップ素子内蔵 2 層 3 段 BPF	70
8.1	チップ素子内蔵 BPF の設計	70
8.2	今後の課題	73
第 9 章	結論	74
	謝辞	75
	参考文献	76
	発表・受賞実績	78

目 次

1.1	LPF 及び HPF を組み合わせた平面型 BPF の回路構造	4
1.2	図 1.1 に示した回路構造について試作した回路の写真	4
1.3	図 1.2 に示した回路構造における伝送特性	5
1.4	再構成前の BPF の回路構造	6
1.5	図 1.4 に示した回路構造における伝送特性	6
1.6	小型化した BPF の回路構造	7
1.7	図 1.6 に示した回路構造における伝送特性	7
1.8	ブロードサイド結合インターディジタル共振器の構造	8
1.9	ブロードサイド結合共振器の周波数	8
1.10	ブロードサイド結合共振器を用いた BPF の回路構造	9
1.11	BPF の導体パターン及びグラウンドパターン間接続図	10
1.12	図 1.10 に示した回路構造における伝送特性	10
1.13	オープンリング共振器 BPF の解析構造及び断面図	11
1.14	図 1.13 に示した構造における上段及び下段の構造図	11
1.15	図 1.13 に示した構造についてシミュレーションより得られた伝送特性	12
1.16	図 1.13 に示した構造について試作実験より得られた伝送特性 . . .	12
1.17	多層結合ストリップ共振器	13
1.18	LTCC 基板を用いた 2 層 10 段 BPF の回路構造	14
1.19	図 1.18 に示した回路構造における伝送特性	14
1.20	CRLH 伝送線路共振器を用いた有極形小型 BPF の回路構造	15
1.21	図 1.20 に示した回路構造について試作した回路の写真	16
1.22	図 1.21 に示した回路構造における伝送特性	16

1.23	ブロードサイド結合構造及び容量装荷スタブを組み合わせた超広帯域 BPF の回路構造	17
1.24	図 1.23 に示した回路構造について試作した回路の写真	18
2.1	貫通基板の構造例	19
2.2	ビルドアップ基板の構造例	20
2.3	積層サスペンデッドマイクロストリップ線路構造	22
3.1	試作の流れ	24
3.2	基板加工機	25
3.3	基板加工中の様子	25
3.4	基板加工機により加工した基板	26
3.5	拡張の様子	27
3.6	貫通穴拡張後の基板	27
3.7	銅箔剥離中の基板	28
3.8	銅箔剥離後の基板	28
3.9	銅箔剥離後の基板	29
3.10	銅箔剥離後の基板	29
4.1	両端開放ヘアピン形共振器	32
4.2	積層共振器の構造	33
4.3	積層共振器の回路構造	34
4.4	図 4.3 に示した回路構造における伝送特性	34
4.5	試作した積層共振器	35
4.6	試作した積層共振器の側面からの様子	36
4.7	図 4.5 に示した回路構造における伝送特性	36
4.8	図 4.7 に示した伝送特性における 2.5 GHz 付近の拡大図	37
5.1	3 段のフィルタのトポロジー	38
5.2	給電位置決定の回路構造	40
5.3	給電位置 t 及び外部 Q 値の関係	40

5.4	共振器配置決定の回路構造	42
5.5	共振器の間隔 d 及び結合係数 k の関係	42
5.6	外部 Q 値及び結合係数から設計した BPF の回路構造	43
5.7	図 5.6 に示した回路構造より得られた伝送特性	44
5.8	図 5.7 に示した伝送特性における通過帯域付近の拡大図	44
5.9	2 層 3 段 BPF の構造図	45
5.10	BPF の回路構造	45
5.11	図 5.10 に示した回路構造における伝送特性	46
5.12	図 5.11 に示した伝送特性における通過帯域付近の拡大図	46
5.13	試作した 2 層 3 段 BPF	47
5.14	図 5.13 に示した回路構造における伝送特性	48
5.15	図 5.14 に示した伝送特性における通過帯域付近の拡大図	48
6.1	再現性の確認に伴う 3 段 BPF の伝送特性の比較	50
6.2	図 6.1 に示した伝送特性における通過帯域付近の拡大図	50
6.3	基板の比誘電率を 2.4 としてシミュレーションした際の伝送特性	52
6.4	比誘電率を変更して設計した積層共振器の回路構造	52
6.5	図 6.4 に示した回路構造について試作した共振器	53
6.6	図 6.5 に示した共振器の伝送特性	53
6.7	比誘電率を 3.2 及び 2.4 として設計した共振器の測定結果の比較	54
6.8	2 層の積層基板の構造図	55
6.9	空気層厚 h を変化させた際の BPF の伝送特性	56
6.10	固定ネジを外した BPF	57
6.11	ネジを緩めた際の BPF の伝送特性	58
6.12	図 6.11 に示した伝送特性における通過帯域付近の拡大図	58
6.13	銅板による遮蔽を行った BPF	59
6.14	遮蔽を行った際の BPF の伝送特性	60
6.15	図 6.14 に示した伝送特性における通過帯域付近の拡大図	60

7.1	チップ素子の模式図	62
7.2	チップキャパシタの等価回路	62
7.3	チップキャパシタを内蔵した 2 層の積層共振器の構造	63
7.4	設計したチップ素子内蔵積層共振器の回路構造	64
7.5	図 7.4 に示した回路構造における伝送特性	65
7.6	図 7.5 に示した伝送特性における 2.5 GHz 付近の拡大図	65
7.7	試作した各層の基板の様子	67
7.8	試作したチップ素子内蔵積層共振器	68
7.9	試作した共振器より得られたチップキャパシタのキャパシタンスを 変化させた際の透過特性	68
7.10	図 7.9 に示した透過特性における 2.5 GHz 付近の拡大図	69
8.1	給電線の位置 t 及び外部 Q 値の関係	71
8.2	チップキャパシタを内蔵した 2 層 3 段 BPF の回路構造	71
8.3	図 8.2 に示した回路構造における伝送特性	72
8.4	図 8.3 に示した伝送特性における通過帯域付近の拡大図	72

表 目 次

2.1	基板諸元	23
4.1	BPF の設計仕様	31
4.2	3 段フィルタの g 値	32
7.1	使用した素子の型番	67

第1章 序論

1.1 背景

近年の無線通信技術の発展に伴い、通信機器の小型化及び多機能化が要求されている。また、限られた周波数資源を有効に活用するために、特定の周波数帯の信号を取り出す Band-Pass Filter(BPF) の研究が盛んに行われている。特に小型 BPF に関しては、単層のマイクロストリップ線路構造を用いた平面型 BPF[1] 及び [2] が報告されている。BPF は設計の容易さから単層のプリント回路基板を用いた設計が主流だが、周波数特性の向上を行うためには回路面積が肥大化する欠点が存在する。そのため、これ以上の面積方向の小型化を追求する場合に、単層の平面回路構造の小型化には限界が見え始めている。そこで、単層構造よりも面積方向に対して小型化可能な積層構造に着目した。基板を積層化した多層基板は近年無線通信以外にも様々な場面で使用されるようになり、特に貫通基板及びビルドアップ基板は広く一般的に使用されている。しかし、双方に共通する点として一般に熱プレスやスルービア加工が必要であり、特殊装置を用いた加工が必要である。また、ビルドアッププロセスに関してはプリプレグの使用により、積層化するには複数回のプレスが必要となり、基板の作製に長い時間を要する。以上の問題を解決するため、それらの加工を必要としない構造である積層サスペンデッドマイクロストリップ線路構造による積層共振器を用いた BPF に注目し、基板加工機を用いた短時間かつ手作業で積層可能な積層基板の作製方法について検討を行う。積層共振器としては、長手方向に一樣な中心導体幅の $\lambda/4$ 線路導体を積層方向にインターディジタル結合させた共振器 [3] が報告されている。また、BPF としてストリップ線路構造の 2 層 2 段 BPF[4]、オープンリング共振器を積層方向に結合させた共振器を用いたコプレーナ線路構造の 2 層 2 段 BPF[5] 及び Low Temperature

Co-fired Ceramics(LTCC) 基板を用いた 2 層 10 段 BPF[6] が報告されている。

さらに、回路面積を小型化する手法としてチップ素子の実装が挙げられる。近年より小型なチップ素子が開発されており、回路パターンと組み合わせることによって更なる回路サイズの小型化が見込まれる。チップ素子を使用した小型 BPF として、チップキャパシタを装荷した 2GHz 帯有極形小型 BPF[7] 及びチップキャパシタを装荷した超広帯域 BPF[8] が報告されている。チップ素子を用いたフィルタに関する先行研究に共通していることは、チップ素子を表面実装している点である。しかし、表面実装の場合は基板の歪みによる素子の破損が懸念され、また素子の近傍に他の部品を配置することができない。そこで、チップ素子内蔵積層共振器及びその共振器を用いた BPF について検討を行う。多層プリント基板の内部に部品を埋め込む部品内蔵技術は存在しているが、部品を内蔵したフィルタの先行研究に関しては存在していない。そこで、フィルタについても素子を内蔵することにより、チップ素子を装荷することによる回路の小型化に加え、基板の歪みに配慮した回路構造の実現が可能であると考ええる。

1.2 目的

本研究では、基板加工機を使用した短時間かつ手作業で積層可能な積層基板の試作手法による、チップ素子を内蔵した積層サスペンデッドマイクロストリップ線路構造の 2 層の積層共振器及びその共振器を用いた小型 BPF の実現を目的とした。なお、計算には電磁界シミュレータとして Sonnet 15.52(Sonnet Software, Inc.) 及び HFSS 12(Ansys Inc.) を用いた。

1.3 先行技術

単層のマイクロストリップ線路構造を用いた小型 BPF の先行研究として、平面型 BPF[1] 及び [2] について紹介する．また、積層共振器の先行研究として長手方向に一樣な中心導体幅の $\lambda/4$ 線路導体を積層方向にインターディジタル結合させた共振器 [3]、積層共振器を用いた BPF の先行研究としてストリップ線路構造の 2 層 2 段 BPF[4]、オープンリング共振器を積層方向に結合させた共振器を用いたコプレーナ線路構造の 2 層 2 段 BPF[5] 及び LTCC 基板を用いた 2 層 10 段 BPF[6] について紹介する．チップ素子を使用した BPF の先行研究としては、チップキャパシタを装荷した 2GHz 帯有極形小型 BPF[7] 及びチップキャパシタを装荷した超広帯域 BPF[8] について紹介する．チップ素子を基板内部に内蔵したフィルタに関する先行技術については、存在しない．

1.3.1 Low-Pass Filter(LPF) 及び High-Pass Filter(HPF) を組み合わせた平面小型 BPF[1]

文献 [1] では、LPF 及び HPF の組み合わせによって構成した超広帯域の小型 BPF が提案されている．BPF の回路構造及び実際に試作した回路の写真をそれぞれ図 1.1 及び図 1.2 に示す．また、図 1.2 に示した回路における伝送特性を図 1.3 に示す．図 1.3 に示した伝送特性より、中心周波数 6 GHz、帯域幅は 3.1 GHz から 10.6 GHz となっており、4~8 GHz の C バンドを完全にカバーしている．挿入損失は約 0.85 dB、反射損失は 13 dB 以上である．基板には商用のプリント基板を用いている．回路サイズは 15 mm×10 mm であり、従来の研究と比較して小型化を実現している．接続する回路による全体的な利得の減少を抑えることができるため、イコライザ回路との統合に適した回路となっている．

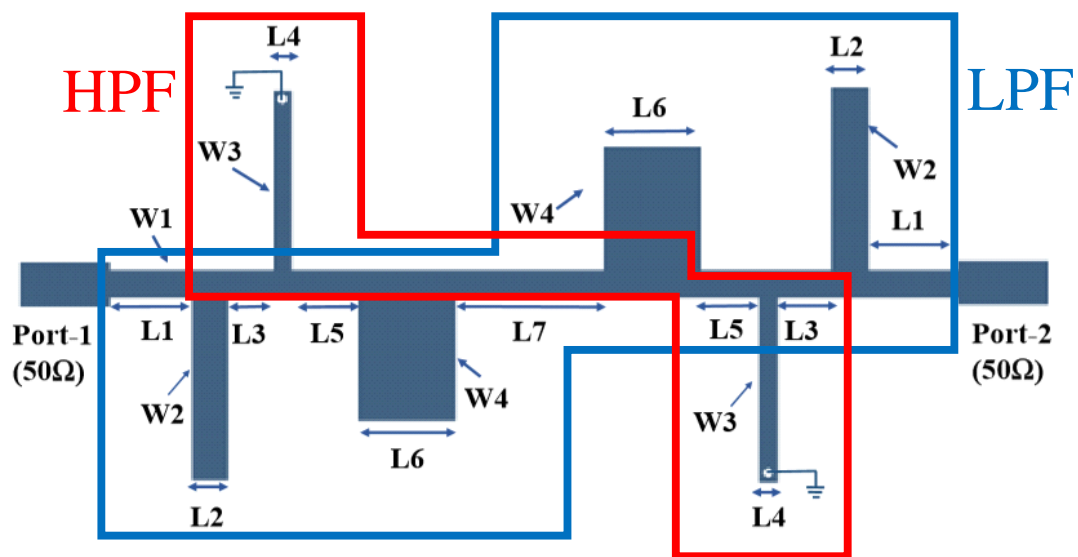


図 1.1: LPF 及び HPF を組み合わせた平面型 BPF の回路構造

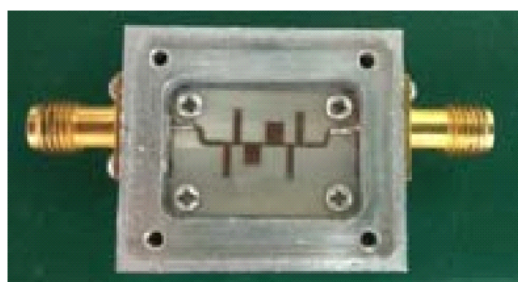
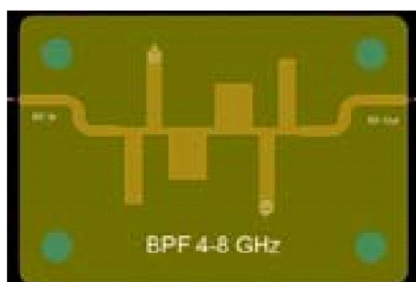


図 1.2: 図 1.1 に示した回路構造について試作した回路の写真

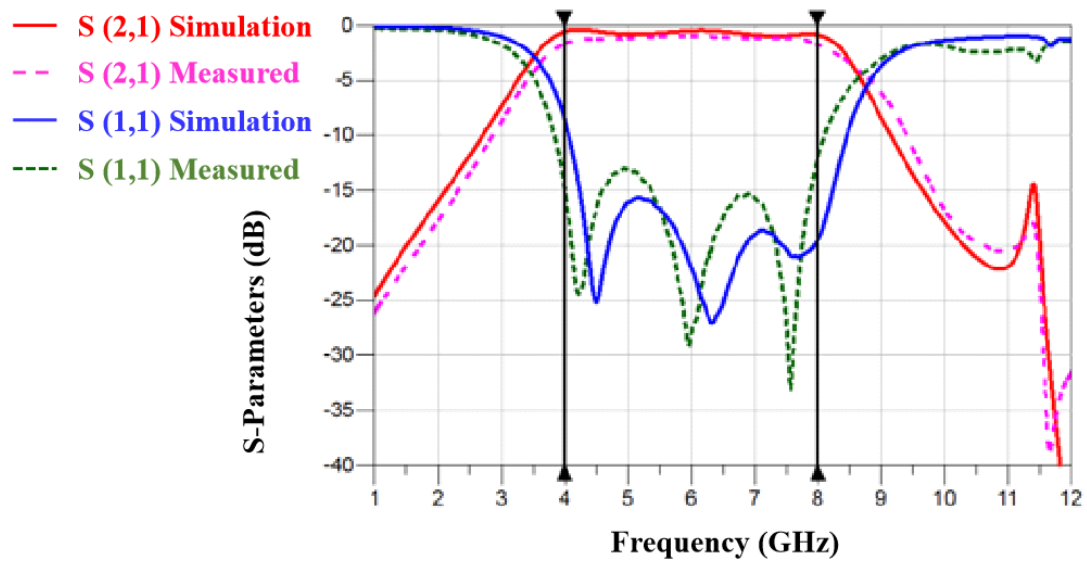


図 1.3: 図 1.2 に示した回路構造における伝送特性

1.3.2 BPF の再構成によるマイクロストリップ線路小型 BPF[2]

文献 [2] は，ヘアピン形共振器を用いて構成した 5 段の BPF について，等価回路から再構成を行うことで小型化した直線ヘアピンマイクロストリップ BPF のシミュレーションを行った文献である．再構成前のヘアピン形共振器を用いた BPF の回路構造及びシミュレーションより得られた伝送特性をそれぞれ図 1.4 及び図 1.5 に示す．また，図 1.4 の回路構造について，再構成し小型化を行った BPF の回路構造及びシミュレーションより得られた伝送特性をそれぞれ図 1.6 及び図 1.7 に示す．基板は基板厚 $725\ \mu\text{m}$ ，比誘電率 9.9 の基板を想定している．図 1.4 に示した回路構造及び図 1.5 に示した伝送特性より，再構成前の BPF の回路サイズは $27.7\text{ mm} \times 5.85\text{ mm}$ であり，帯域幅は 0.4 GHz である．挿入損失は 5 dB ，反射損失は 10 dB 以上を確保している．対して，図 1.6 に示した回路構造及び図 1.7 に示した伝送特性より，再構成した BPF の回路サイズは $8.35\text{ mm} \times 12.0\text{ mm}$ であり，再構成前と比較してサイズの $1/3$ の縮小が確認できる．また，挿入損失は 4.5 dB となり 0.5 dB の改善が見られ，帯域幅が 1.44 GHz となり約 1 GHz の広帯域化が行われている．以上の結果より，BPF の再構成によって小型化及び帯域幅の増加を可能としている．

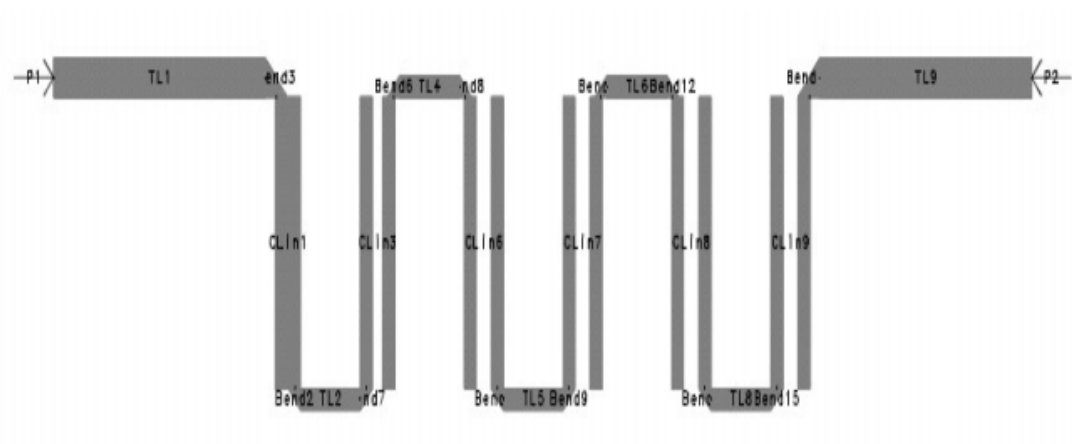


図 1.4: 再構成前の BPF の回路構造

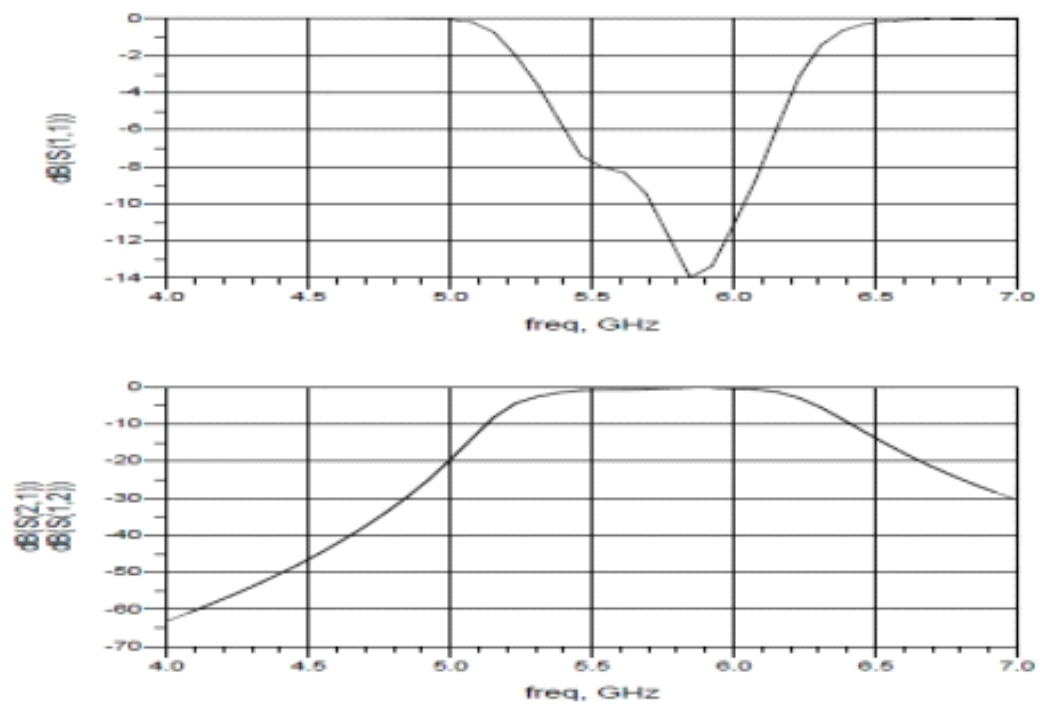


図 1.5: 図 1.4 に示した回路構造における伝送特性

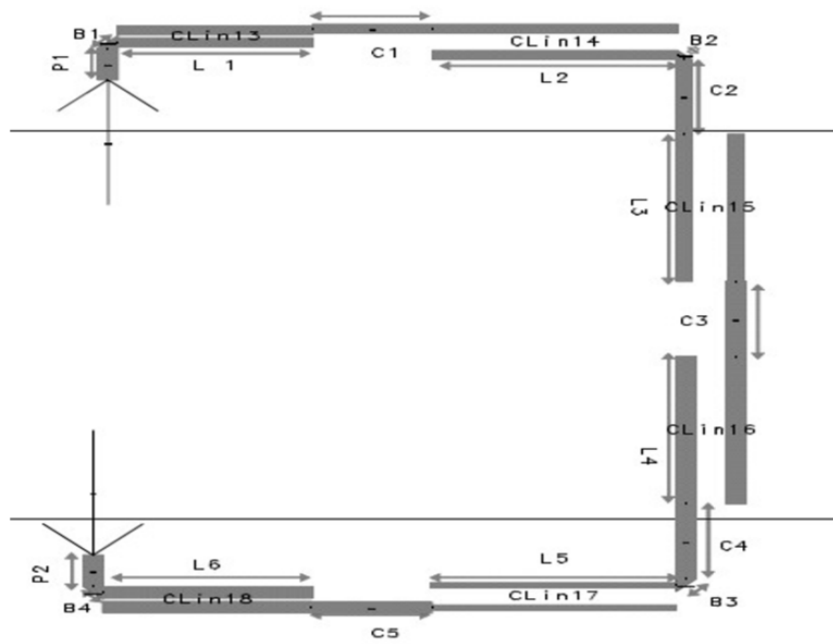


図 1.6: 小型化した BPF の回路構造

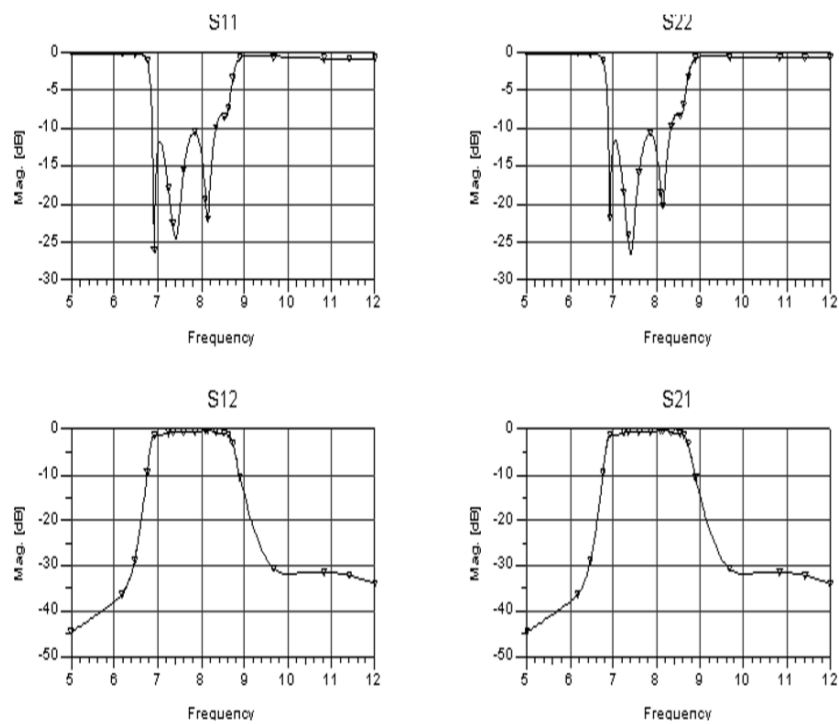


図 1.7: 図 1.6 に示した回路構造における伝送特性

1.3.3 ブロードサイド結合インターディジタル共振器 [3]

ブロードサイド結合インターディジタル共振器の構造及び共振周波数を示した図をそれぞれ図 1.8 及び図 1.9 に示す. 図 1.8 に示した構造図より, ブロードサイド結合インターディジタル共振器はストリップライン共振器を互い違いにブロードサイド結合させることにより, 両者を結合させている. 図 1.9 に示した結果より, 共振器間の間隔が短く 2 つの共振器の結合が強いほど, 共振周波数が分離するという特徴を有していることが確認できる.

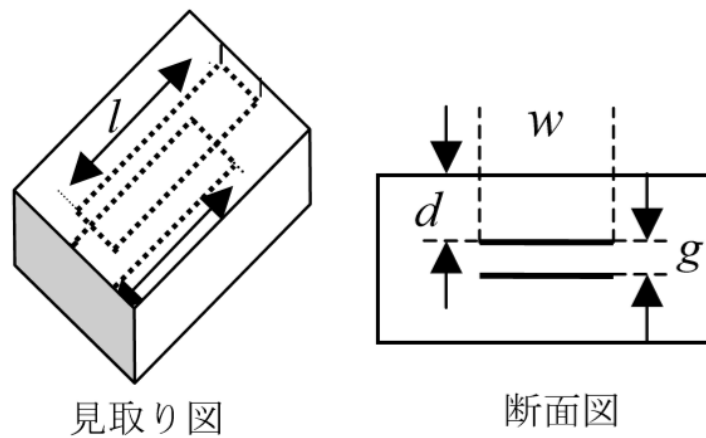


図 1.8: ブロードサイド結合インターディジタル共振器の構造

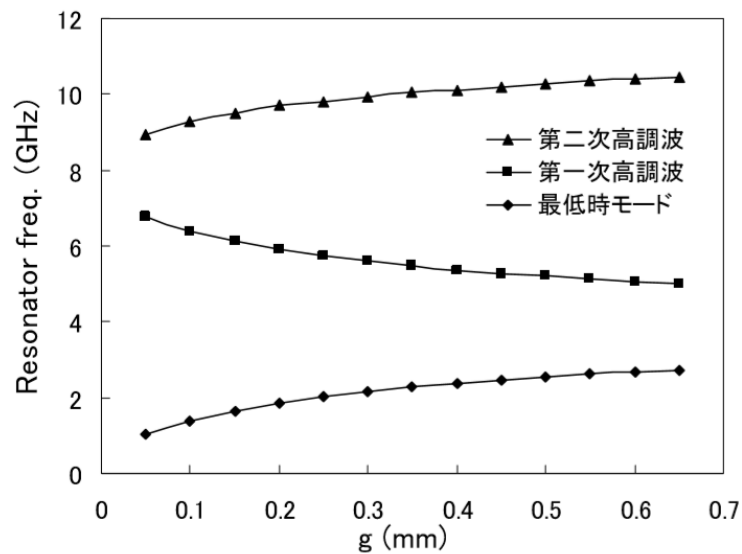


図 1.9: ブロードサイド結合共振器の周波数

1.3.4 ブロードサイド結合共振器を用いた BPF[4]

文献 [3] で提案されたブロードサイド結合インターディジタル共振器を用いて BPF の構造化を行った研究が文献 [4] である．中心周波数 1.5 GHz としたバターワース特性 2 段 BPF の回路構造を図 1.10 に示す．また，BPF の導体パターン及びグラウンドパターン間接続図を図 1.11 に示す．図 1.11 に示した接続図より，各層においてグラウンドが取れるように工夫されていることが確認できる．図 1.10 に示した回路構造について，試作実験における伝送特性を図 1.12 に示す．図 1.12 に示した伝送特性より，第 1 次共振ピークがスプリットしていることが確認できる．原因として，グラウンド部分の導体が共振器の一部として働いていることを挙げており，試作の難易度が高い構造であるという欠点が挙げられる．

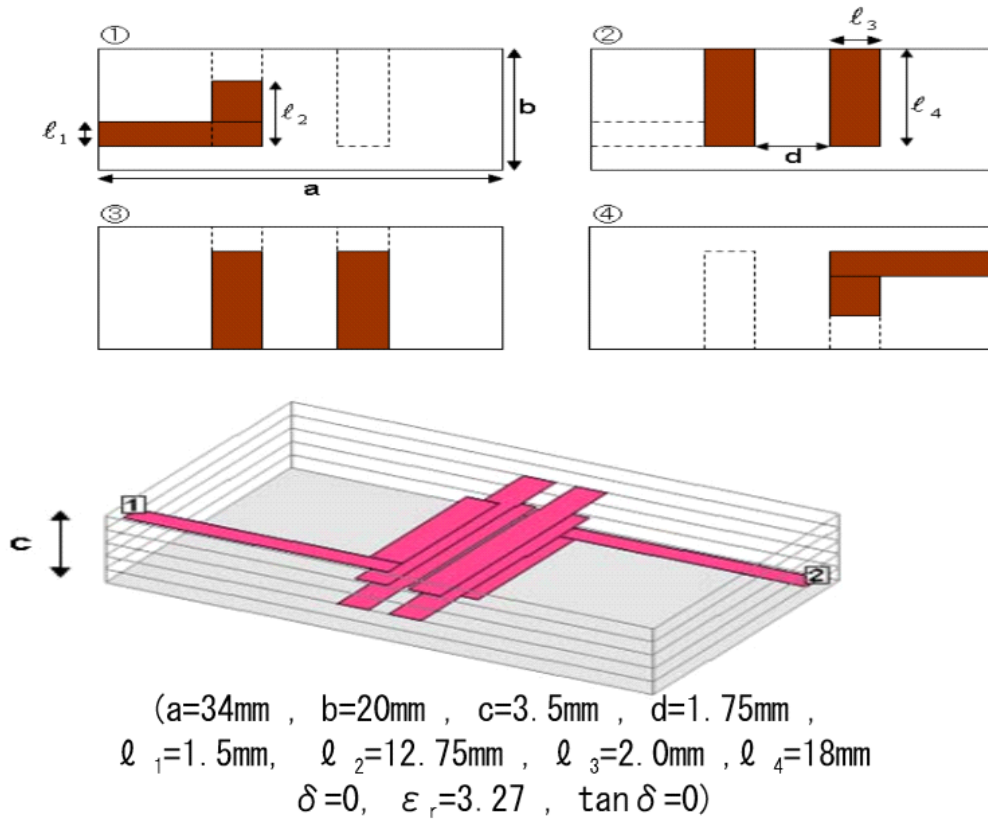


図 1.10: ブロードサイド結合共振器を用いた BPF の回路構造

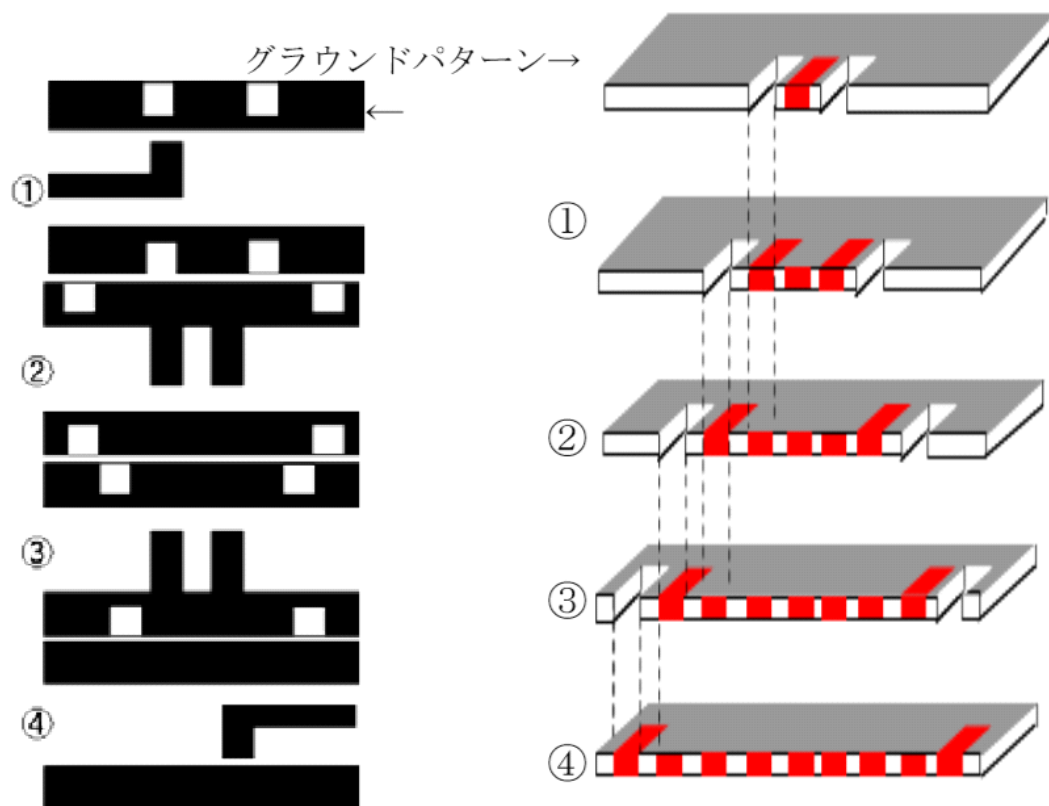


図 1.11: BPF の導体パターン及びグラウンドパターン間接続図

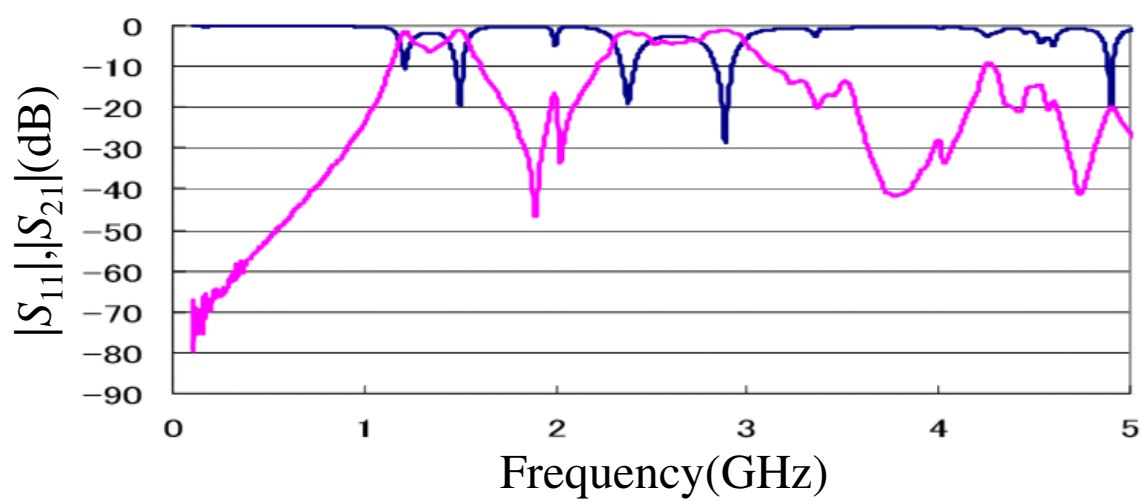


図 1.12: 図 1.10 に示した回路構造における伝送特性

1.3.5 ブロードサイド結合オープンリング共振器 BPF[5]

ブロードサイド結合オープンリング共振器を用いた BPF の解析構造及び断面図を図 1.13 に示し、図 1.13 に示した BPF の解析構造における上段及び下段の構造図を図 1.14 に示す。また、図 1.13 に示した解析構造について、シミュレーションより得られた伝送特性及び試作実験より得られた伝送特性をそれぞれ図 1.15 及び図 1.16 に示す。コプレーナ線路構造により 2 段の広帯域 BPF の設計を行い、多段化の検討を行っている。図 1.15 及び図 1.16 に示した伝送特性より、試作実験においてシミュレーションにおける結果とほぼ同様の結果を得ることができる。しかし、オープンリング共振器は回路面積が肥大化する欠点を有するため、小型化を目標とする際には他形状の共振器を用いる方が有用性が高いと考えられる。

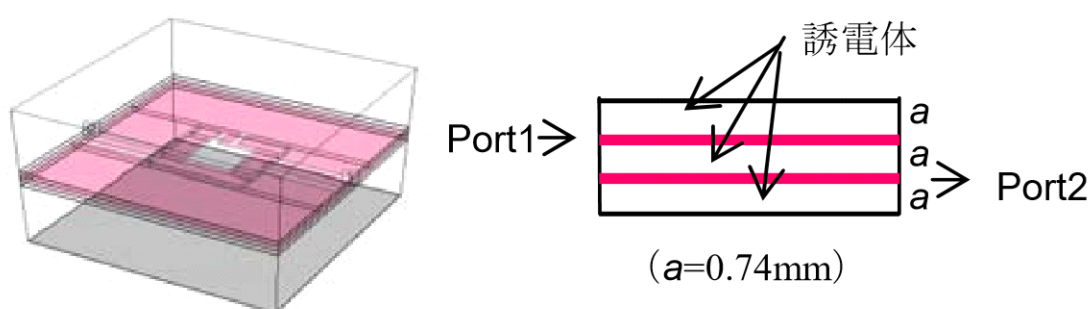


図 1.13: オープンリング共振器 BPF の解析構造及び断面図

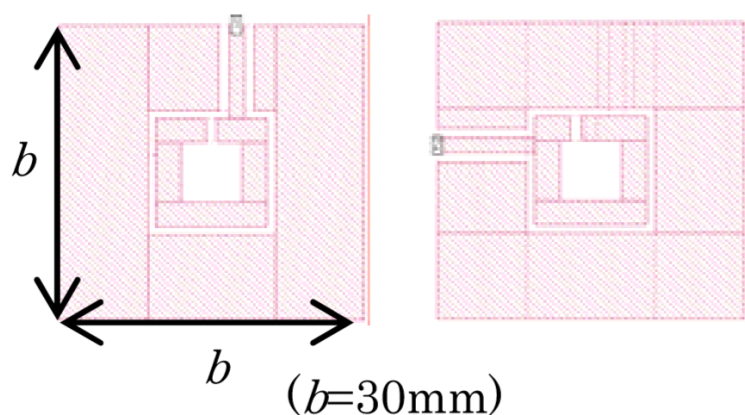


図 1.14: 図 1.13 に示した構造における上段及び下段の構造図

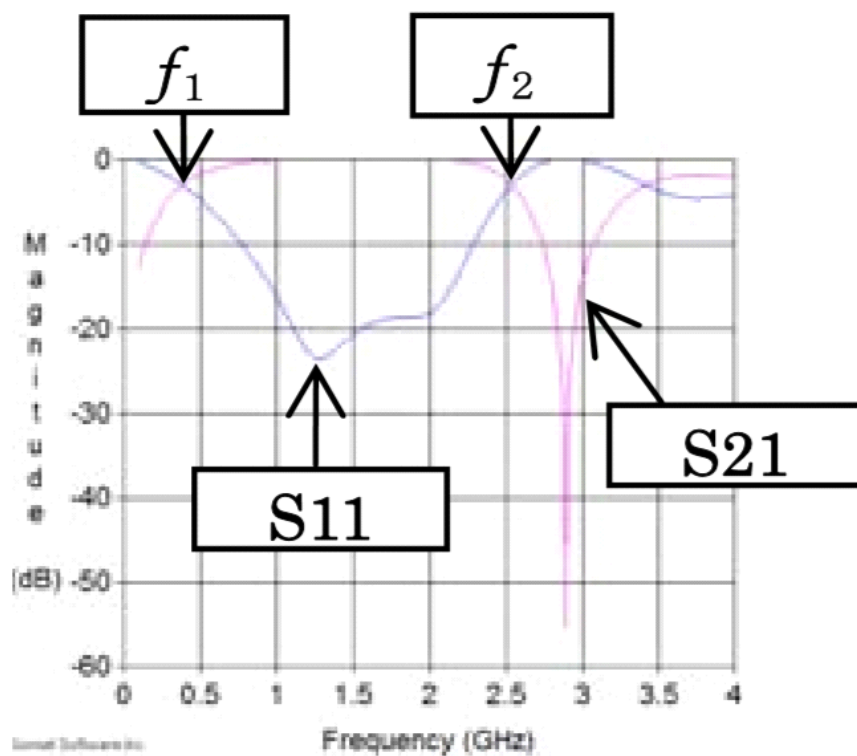


図 1.15: 図 1.13 に示した構造についてシミュレーションより得られた伝送特性

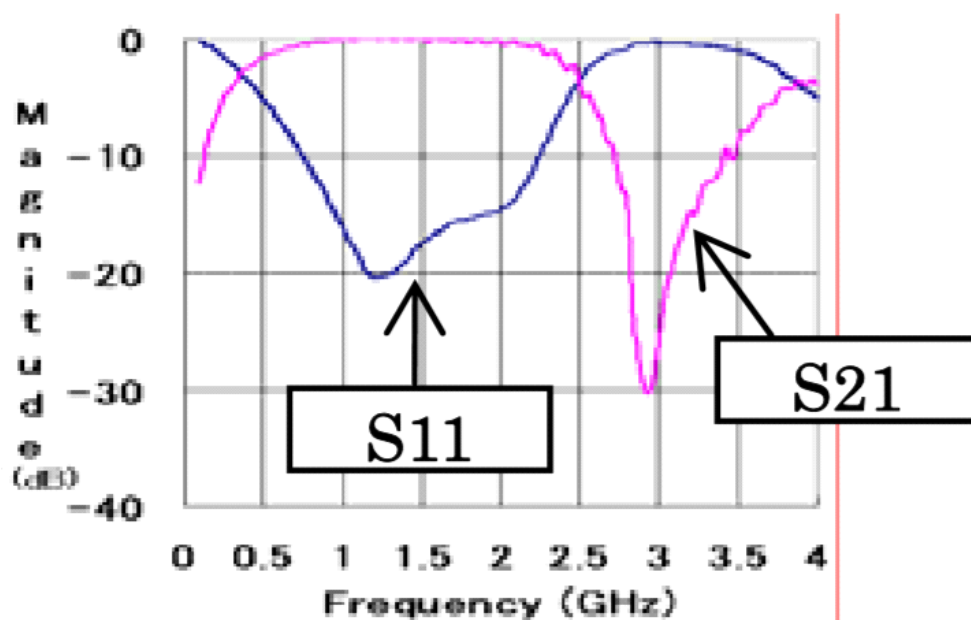


図 1.16: 図 1.13 に示した構造について試作実験より得られた伝送特性

1.3.6 LTCC 基板を用いた 2 層 10 段 BPF[6]

文献 [6] では、LTCC 技術を用いた多層結合ストリップ共振器による小型 BPF の設計について提案している．多層結合ストリップ共振器を図 1.17 に示す．図 1.17 に示した共振器において，各ストリップは一方の端は接地，一方の端は開放されており，線路の形状は定まっていないため単層のストリップ共振器はすべて多層に拡張が可能である．また，使用される層の数が増加するほど，中心周波数は低周波側に移動し，小さい回路サイズで所望の共振周波数を得ることができる．図 1.17 に示した共振器を用いて設計した 2 層 10 段 BPF 及びシミュレーションにより得られた伝送特性をそれぞれ図 1.18 及び図 1.19 に示す．図 1.19 に示した伝送特性より，シミュレーション上において広帯域フィルタの実現が確認できる．本検討においては，文献 [6] の多層結合ストリップ構造を参考にし，マイクロストリップ構造による実現の検討を行う．

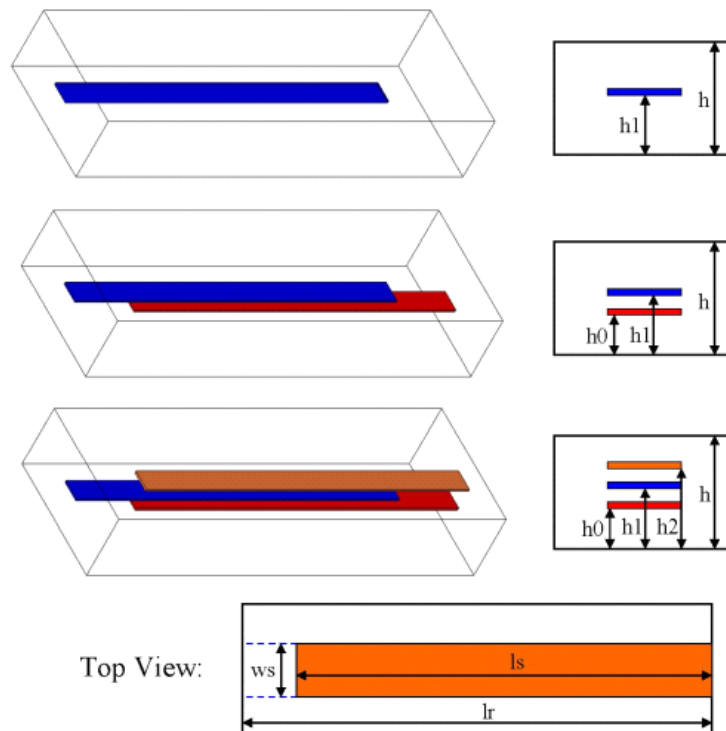


図 1.17: 多層結合ストリップ共振器

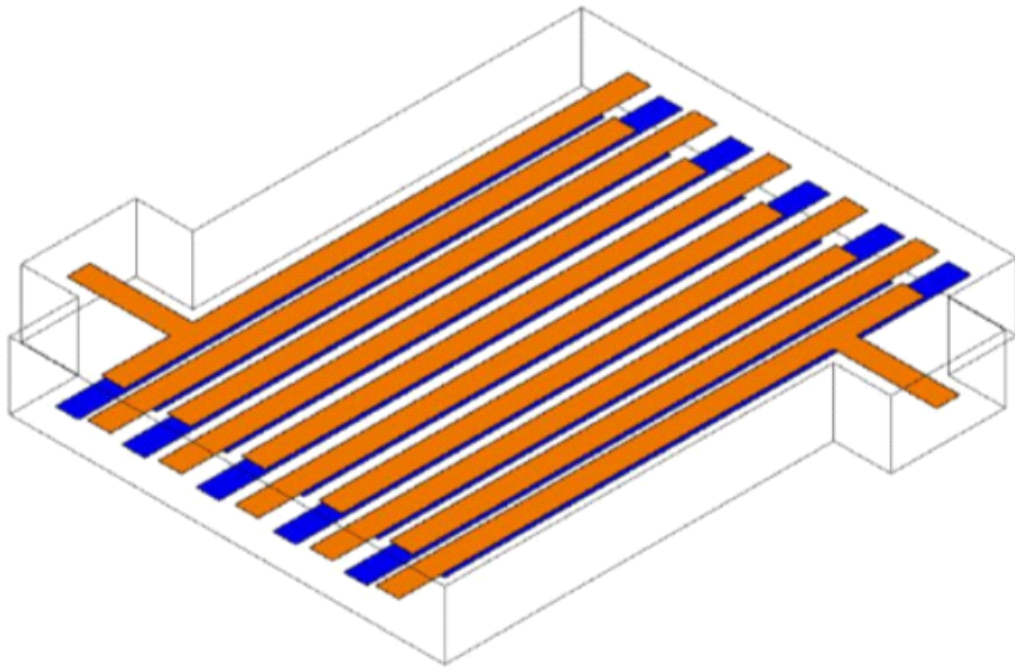


図 1.18: LTCC 基板を用いた 2 層 10 段 BPF の回路構造

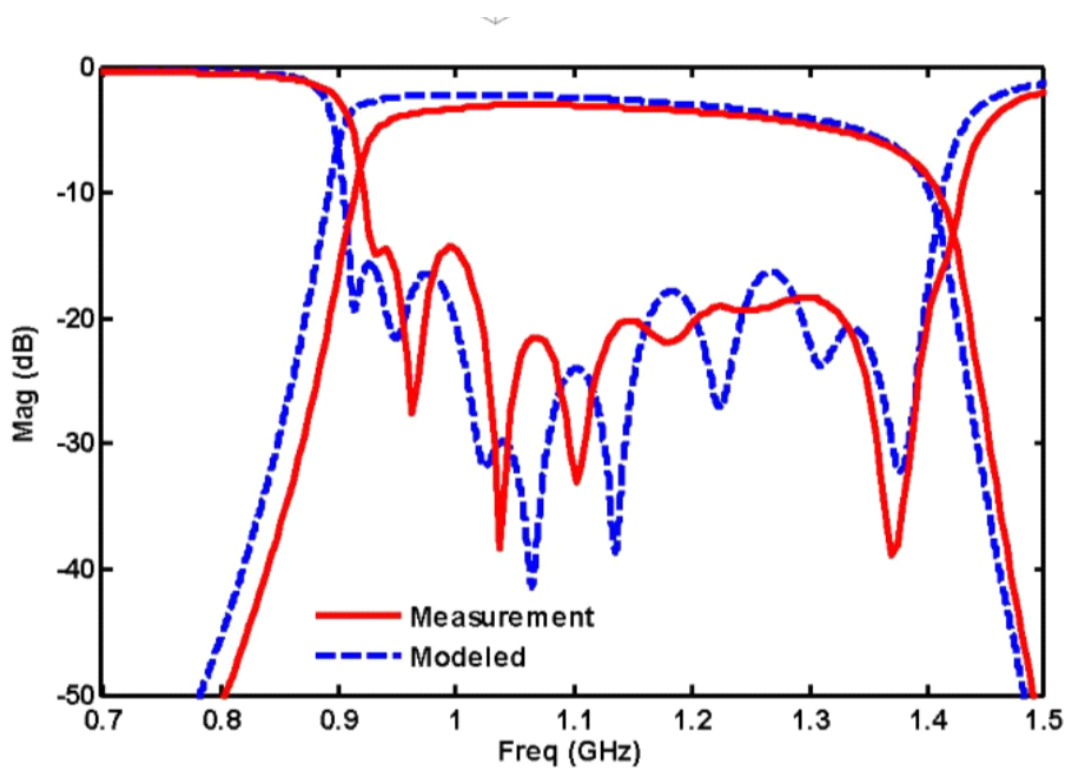


図 1.19: 図 1.18 に示した回路構造における伝送特性

1.3.7 Composite Right/Left-Handed(CRLH) 伝送線路共振器を用いた 2GHz 帯有極形小型 BPF[7]

チップコンデンサとマイクロストリップ線路で構成した，CRLH 伝送線路共振器を用いた有極形小型 BPF の回路構造及び実際に試作した回路の写真をそれぞれ図 1.20 及び図 1.21 に示す．また，図 1.21 に示した回路における伝送特性を図 1.22 に示す．CRLH 伝送線路理論に基づいて素子値の導出を行い，チップコンデンサ及びマイクロストリップ線路を組み合わせた小型 CRLH 伝送線路共振器を提案し，その共振器を用いた通過帯域近傍に減衰極を有する有極形小型 BPF を構成している．回路面積は $2.00\text{ mm} \times 2.95\text{ mm}$ ，図 1.22 に示した伝送特性より通過帯域内の最大挿入損失は 2.67 dB となっており，小型かつ損失が少ない BPF を実現している．

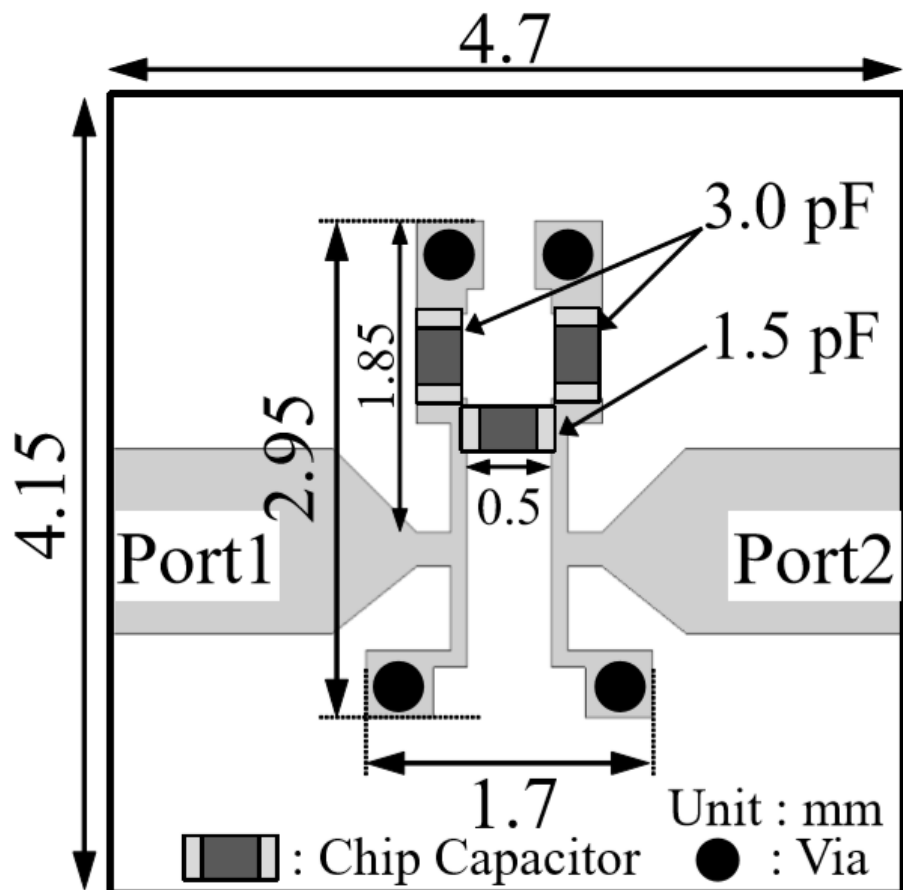


図 1.20: CRLH 伝送線路共振器を用いた有極形小型 BPF の回路構造

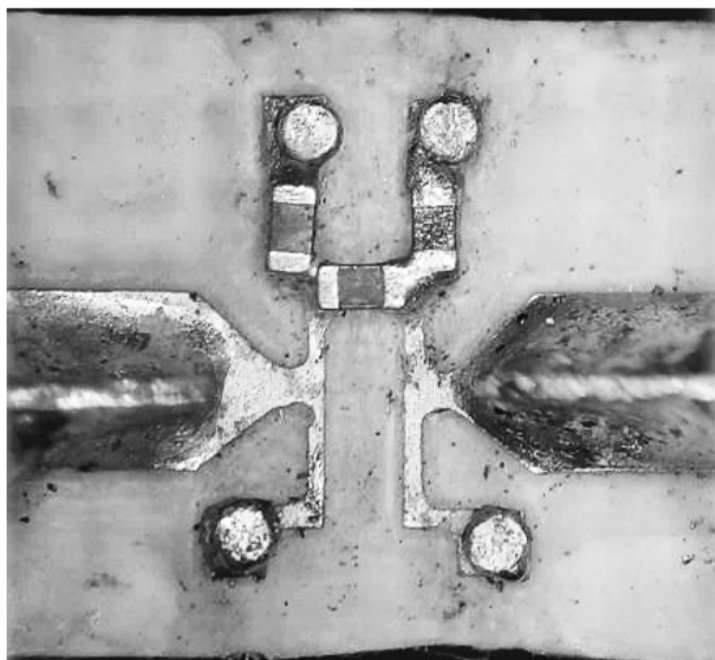


図 1.21: 図 1.20 に示した回路構造について試作した回路の写真

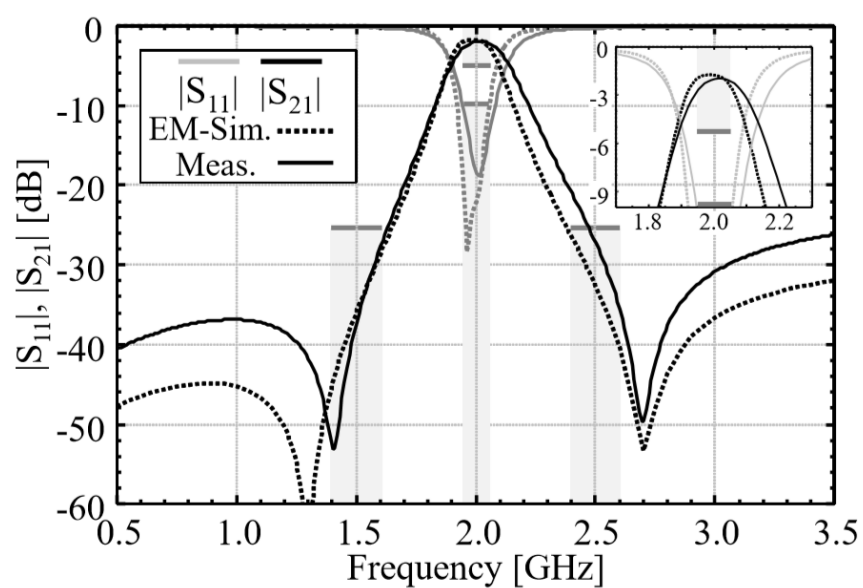


図 1.22: 図 1.21 に示した回路構造における伝送特性

1.3.8 ブロードサイド結合構造及び容量装荷スタブを組み合わせた超広帯域 BPF[8]

文献[8]は、ブロードサイド結合構造を用いて、短絡スタブ及びチップキャパシタを用いることにより、特に低周波帯におけるフィルタの帯域外遮断特性を向上させた超広帯域 BPF の提案である．BPF の回路構造及び得られた伝送特性をそれぞれ図 1.23 及び図 1.24 に示す．図 1.24 に示した伝送特性より、帯域は 3.62 GHz から 10.31 GHz の 6.69 GHz であり、通過帯域における挿入損失は 0.46 dB と良好な特性を示していることが確認できる．フィルタ及び短絡スタブ回路を組み合わせることにより、低い挿入損失を実現している．また、反射損失は 10 dB 以上を確保しており、通過帯域が高い平坦性を有している．回路サイズは 40 mm×15 mm である．

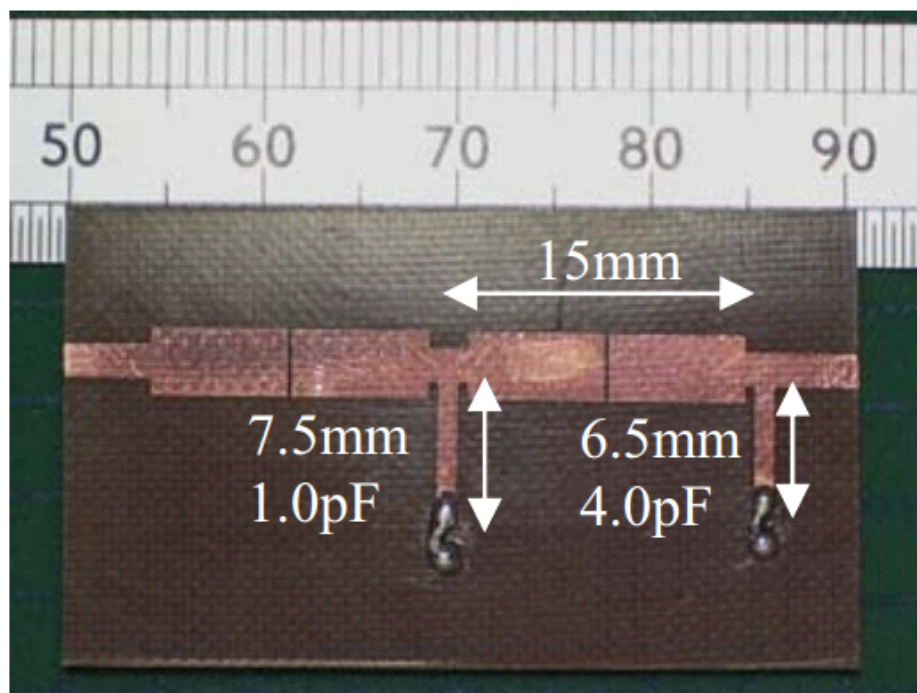


図 1.23: ブロードサイド結合構造及び容量装荷スタブを組み合わせた超広帯域 BPF の回路構造

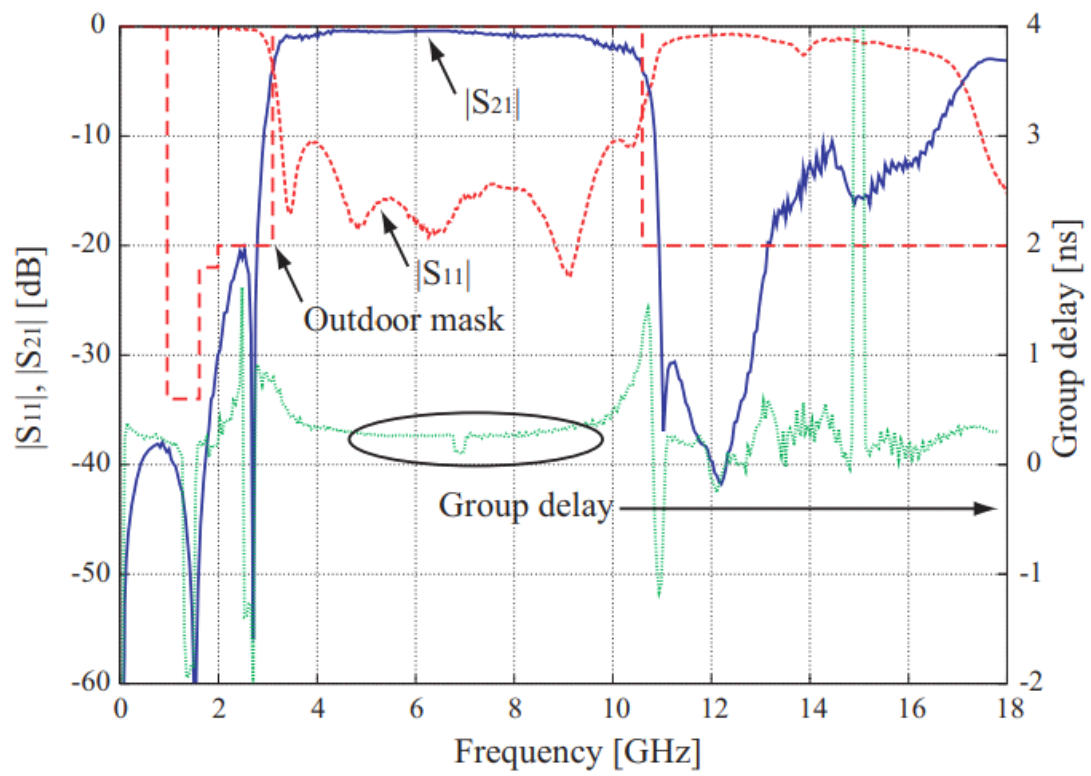


図 1.24: 図 1.23 に示した回路構造について試作した回路の写真

第2章 従来工法に対する本研究の提案

2.1 従来工法 [9]

2.1.1 貫通基板

貫通基板の構造例を図 2.1 に示す．貫通基板はスルーホール基板とも呼ばれ，誘電体層と導体層を接着剤で接着することで複数回重ね，すべての層を重ねたのちに1回でプレスを行う．その後，全層を導通するために，全層を貫通するスルーホールを作製し，スルーホールの側面等に導体材料のメッキ処理を施し，スルーホールビアを形成する．一般的にはドリルを用いて，スルーホールを空ける．穴あけやメッキ，積層の工程が1回で完了するため工程が少なく低コストでの基板作製が可能で，信頼性が高い．しかし，高密度化が難しく，配線の自由度が低い．

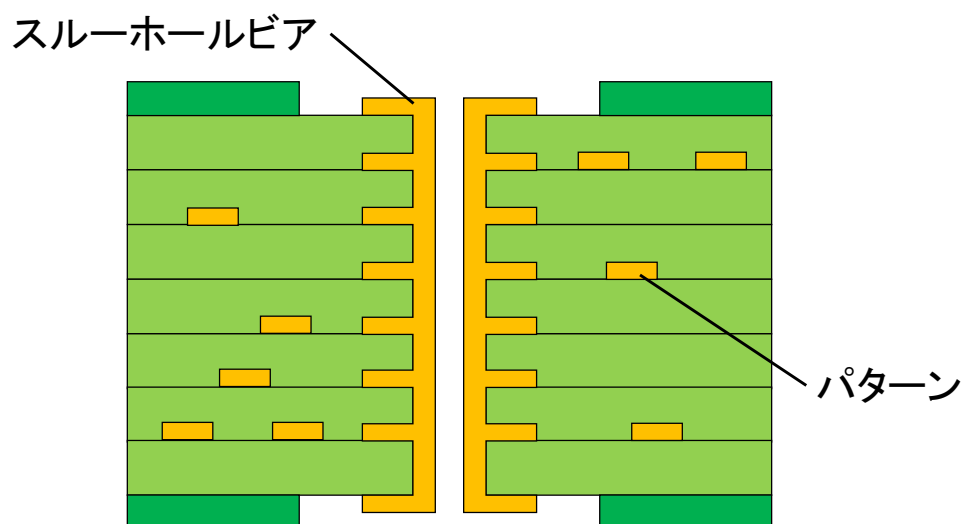


図 2.1: 貫通基板の構造例

2.1.2 ビルドアップ基板

ビルドアップ基板の構造例を図 2.2 に示す。両面板のコア材の上下に一層ごとに積層，穴あけ及び配線形成などを繰り返す。積層の際には，主にプリプレグを用いて接着を行う。プリプレグとはガラスクロスに樹脂を含浸させた半硬化材料であり，積層の際に熱プレスで加熱及び加圧することにより，樹脂が再溶融して硬化させることで，接着剤と同様の役割を果たす。接着剤より薄く広がりやすいため，基板厚を大きく増加させることはない。ビルドアッププロセスでは，複数の層を導通するビアはドリルによって空けるが，層間ビアはレーザー加工によって空けることが可能である。そのため，より配線密度の高い多層板の作製が可能である。しかし，一層ごとにプレスして積層し，層間ビアを空けるという作業となり工程が多いことから，高コストかつ作製に長い時間を要する。

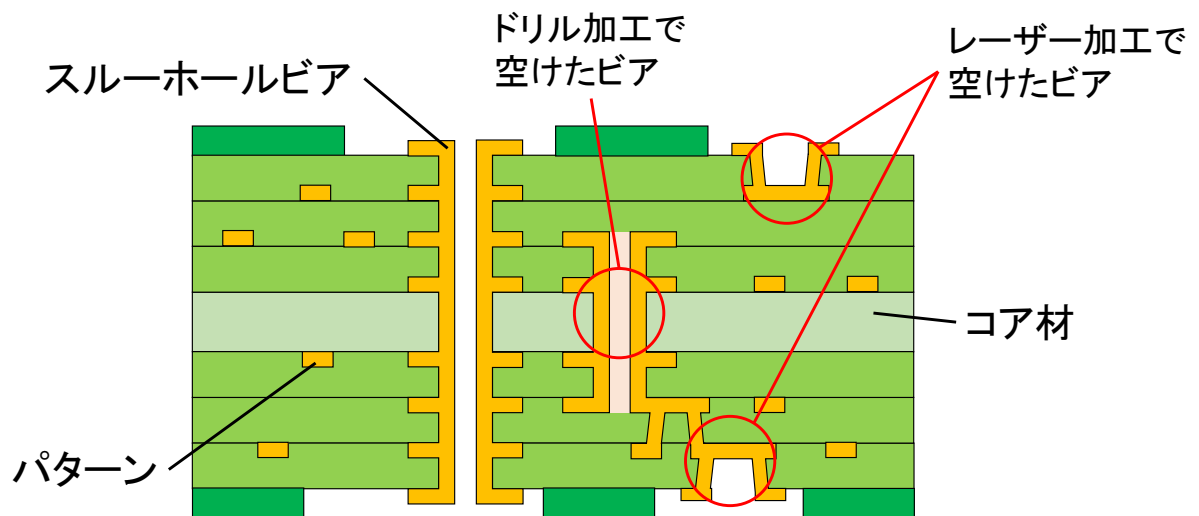


図 2.2: ビルドアップ基板の構造例

2.2 従来工法の問題点

2.2.1 プレス

多層基板を作製する際には、プレスという熱を加えて圧着する工程が必要となる。熱プレスは温度管理を行いながら長い時間をかける必要があり、ノウハウや特許が存在する。加えて、プレスすることにより、一定確率で積層ずれが生じる。プレスした場合には、その後の層の入れ替えや修正を行うことができないため、そのずれを直すことはできず、そのロットは不良として廃棄されることになる。

2.2.2 ビアホール

多層基板の各層を導通させるためには、穴を空けてその側面にメッキを施す、もしくはメッキで穴を埋めることによりビアホールの形成を行う。LC フィルタの場合、集中定数素子で回路設計を行った後に回路パターンを形成し、各層ごとにビアホールをつなぐことにより、フィルタを実現する。この時、ビアホールには信頼性が要求される。理由として、ビアが断線した場合、集中定数素子とグラウンド面間が開放となり、フィルタとして動作しないためである。そのため、各層を導通させるためにビアホールを形成するのは可能な限り避けたい。なお、ビアホールが断線する理由として、メッキ部分の割れやメッキの厚み不足などが挙げられる。また、ビルドアッププロセスの場合、複数回プレスを行うことから中心部のビアほどより耐久性が必要となる。以上の理由より、ビアホールの信頼性を無視することはできない。また、ビアの信頼性を確保するために、レーザーやドリルによる穴あけ加工時に発生する樹脂残渣を除去するデスミア処理など、他の工程を追加することがある。

2.3 本研究で提案する構造

2.3.1 積層サスペンデッドマイクロストリップ線路構造

本検討で用いる積層サスペンデッドマイクロストリップ線路構造を図 2.3 に示す。本検討においては、2 層の共振器及び BPF を設計するにあたって、2 層のうち

上層を Layer1, 下層を Layer2 と定義する. 積層構造にはストリップ線路構造を用いることが多いが, ストリップ線路構造の場合, 誘電体内部に導体線路パターンが埋もれた構造となっており厳密に空気層を排除しなければならない. また, その構造を成立させるためには主に貫通基板やビルドアップ基板として作製を行うため, プレス工程を必要とする. 通常, プレス加工装置のような特殊装置が常備されていることは少ないため, 特別な設備や装置がなくても積層構造として動作する回路構造を検討し, 基板加工機を使用する試作方法を考え, 積層サスペンデッドマイクロストリップ線路構造とした. サスペンデッドマイクロストリップ構造は, 空気層を想定した積層構造のため, 基板加工機及び本検討における手法との相性が良く, 本検討に適していると考えた. 本検討では, Layer1 の片面の銅箔を剥離し, Layer2 とネジ止めを行うことによって線路構造を実現する. また, 各層に形成した回路パターンを電磁界結合させることにより, フィルタの実現を行う.

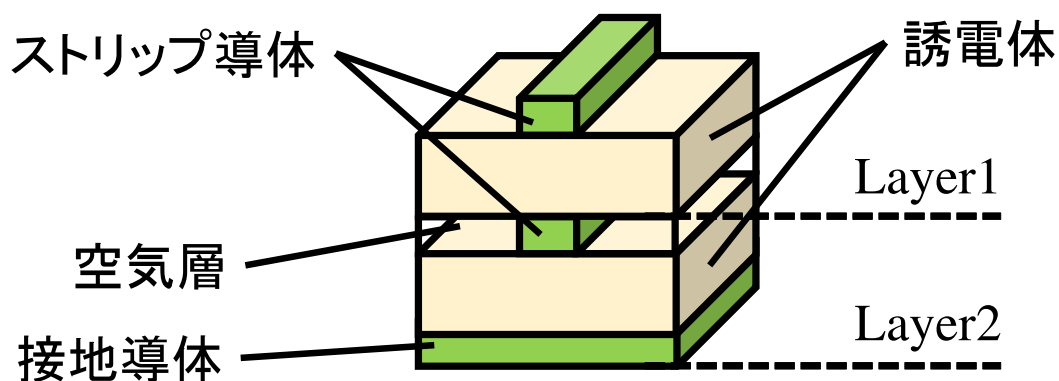


図 2.3: 積層サスペンデッドマイクロストリップ線路構造

2.3.2 従来工法に対する積層サスペンデッドマイクロストリップ線路構造の利点

プレスについて, 従来の工法と異なりネジ止めによって基板の積層を行うことから, 熱プレスを行わない. ネジ止め使用するドライバーやネジは比較的安価で入手性もよく, 操作性のよさや固定の確実性が高いことに加え, 適切な温度調整などの特殊な技術やノウハウが必要なく, 長時間かけて加圧するプレスと比較

すると非常に短い時間での作業が可能となっている．最後にビアホールについては，本検討の構造の場合は各層のパターンを電磁界結合によって結合することによりフィルタを実現するため，各層の導通を行う必要がない．したがって，ビアホールの形成も行わなくてよい．

2.4 基板材料 [11]

無線通信において発生する伝送損失 α は式 (2.1) で表される．ここで，比例定数 k ，周波数 f [Hz]，比誘電率 ϵ_r 及び誘電正接 $\tan \delta$ とする．

$$\alpha = k \times f \times \sqrt{\epsilon_r} \times \tan \delta \quad (2.1)$$

式 (2.1) より，伝送損失は比誘電率及び誘電正接の積として表されることから，基板材料には低誘電特性が求められる．加えて，高周波領域では伝送信号がより熱に変化しやすいことから，さらに低誘電特性であることが要求される．一般的な基板材料としては，誘電体には紙基材やガラスクロスにエポキシ樹脂やフェノール樹脂を含浸させた材料を用いて，表面に銅箔を貼付した銅張積層板を使用する．近年では低誘電特性を実現できる樹脂材料として，フッ素樹脂など熱可塑性の樹脂材料も高周波基板の用途で使用されている．

本検討では，基板加工機を使用し手作業で積層できる試作方法を用いることから，加工の容易さを考慮した基板を用いることとし，その中でも寸法安定性及び機械的強度に優れるガラスクロスを基材とし，低比誘電率であるパナソニック株式会社の MEGTRON(N)[10] を使用した．基板諸元を表 2.1 に示す．

表 2.1: 基板諸元

比誘電率	3.2
誘電正接	0.001
誘電体厚	0.5 mm
導体厚	0.018 mm
導電率	5.8×10^7 S/m
銅箔引き剥がし強さ	0.8 kN/m

第3章 積層共振器を用いた回路の試作方法

本章では，誘電体層が2層である積層基板の試作方法について検討する．

3.1 試作の流れ

積層基板の試作方法について，試作の流れを図 3.1 に示す．

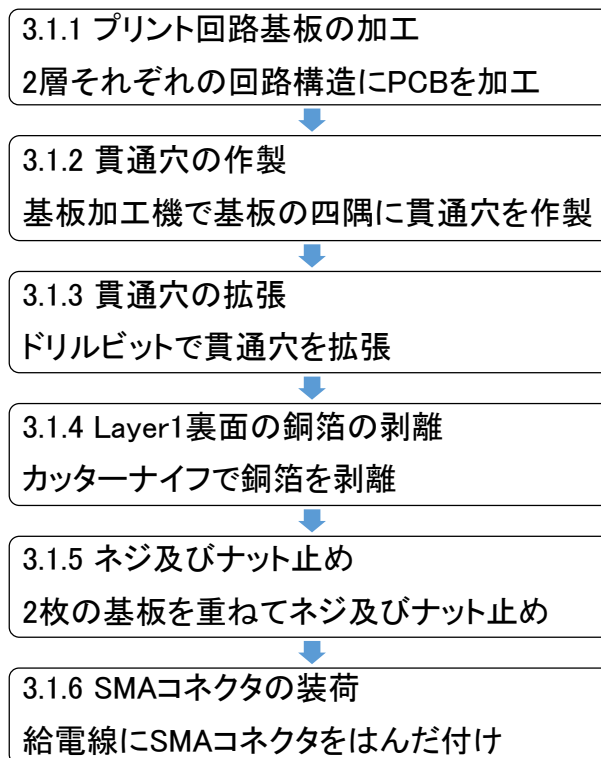


図 3.1: 試作の流れ

3.1.1 プリント回路基板の加工

基板加工機を用いて、プリント基板の加工を行い各基板に回路パターンを形成する。基板の掘削に用いた基板加工機及び基板加工中の様子をそれぞれ図 3.2 及び図 3.3 に示す。基板加工機は FP-21T Precision(ミッツ株式会社)を用いた。なお、基板加工機の精度としては最小加工幅 $50\text{ }\mu\text{m}$ 及び最小加工精度は $1\text{ }\mu\text{m}$ であり、最小加工幅 $50\text{ }\mu\text{m}$ で基板加工を行った文献 [12] も存在する。

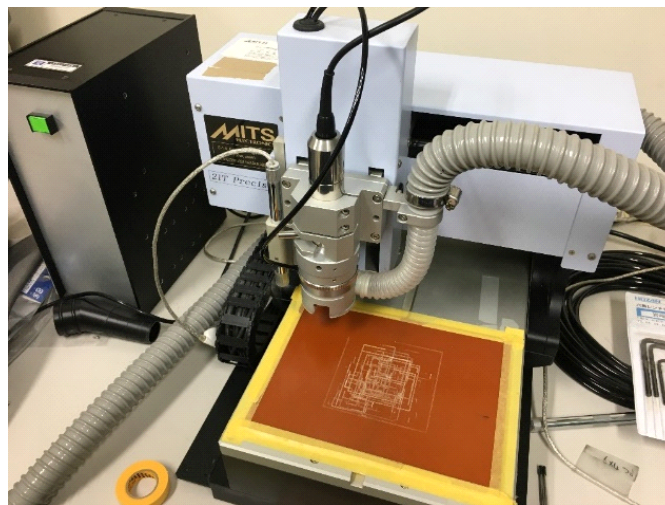


図 3.2: 基板加工機

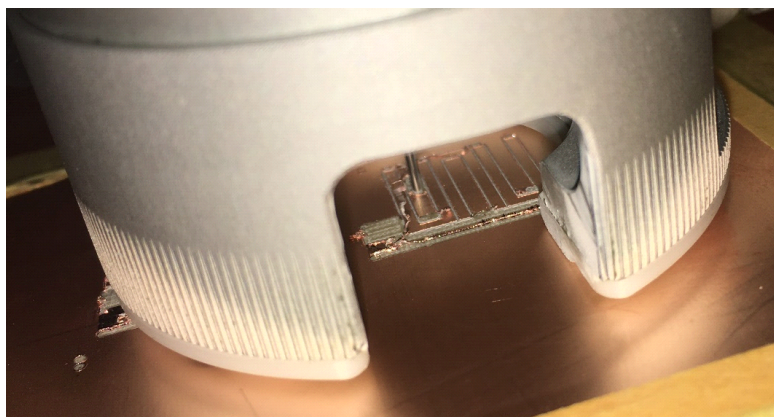


図 3.3: 基板加工中の様子

3.1.2 貫通穴の作製

加工した2枚の基板の四隅に，角からXY方向に1.5mm離れた箇所に基板加工機の $\Phi 0.5\text{ mm}$ のドリルを用いて貫通穴を作製する．貫通穴を作製した基板を図3.4に示す．なお貫通穴の位置は，後にネジ止めを行った時にネジが回路に影響を及ぼさないよう，シミュレーションで確認してから決定している．基板サイズが大きい場合には，加えて数か所貫通穴を空けて，ネジ止めを行う必要があると考えられる．

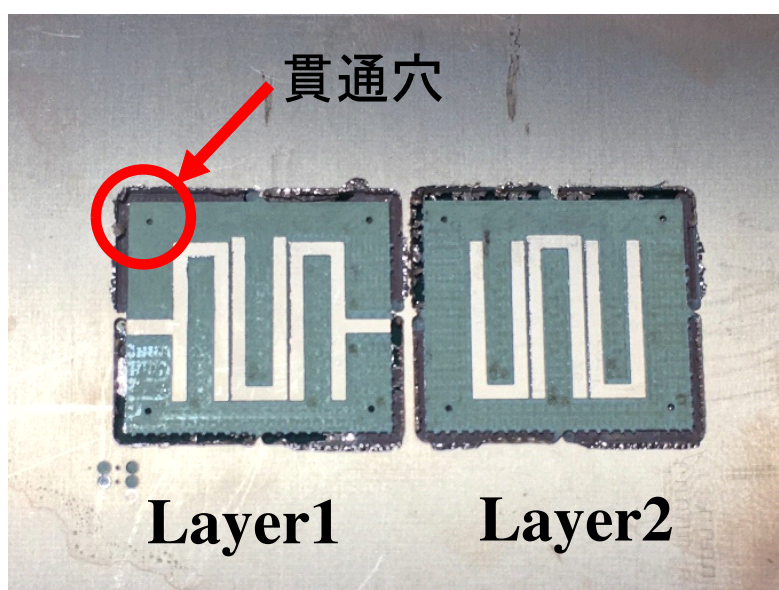


図 3.4: 基板加工機により加工した基板

3.1.3 貫通穴の拡張

基板加工機のドリルでは，ネジを通すことができる大きさの貫通穴を空けることができない．そのため追加工として，基板加工機で開けた貫通穴を基に $\Phi 1.4\text{ mm}$ のドリルビットを用いて，手作業で貫通穴の拡張を行う．拡張の様子及び貫通穴拡張後の基板をそれぞれ図3.5及び図3.6に示す．

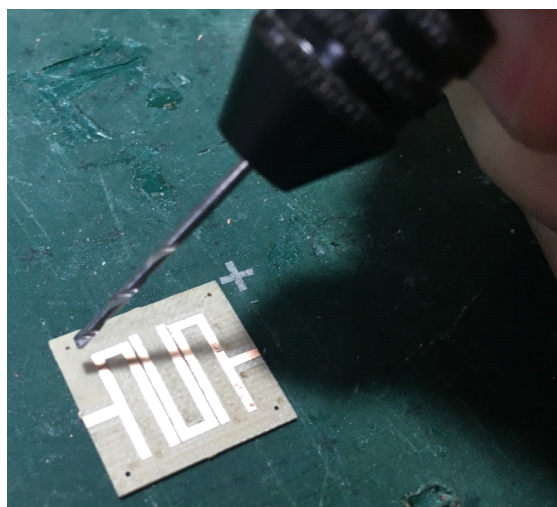


図 3.5: 拡張の様子

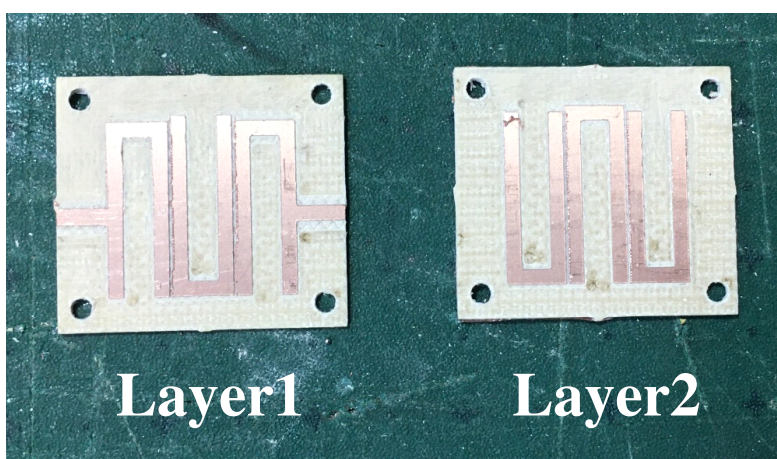


図 3.6: 貫通穴拡張後の基板

3.1.4 Layer1 裏面の銅箔の剥離

Layer1 について，カッターナイフを用いて裏面の銅箔を剥離する．銅箔剥離中の基板及び銅箔剥離後の基板をそれぞれ図 3.7 及び図 3.8 に示す．剥離作業の容易さは基板の種類によって異なると考えられ，カッターナイフでは剥離が不可能な場合も存在する．その際には，薬品を用いて表面処理を行うエッチングの過程が必要になると考えられる．今回用いた MEGTRON7(N) はカッターナイフにより銅箔の容易な剥離が可能である．

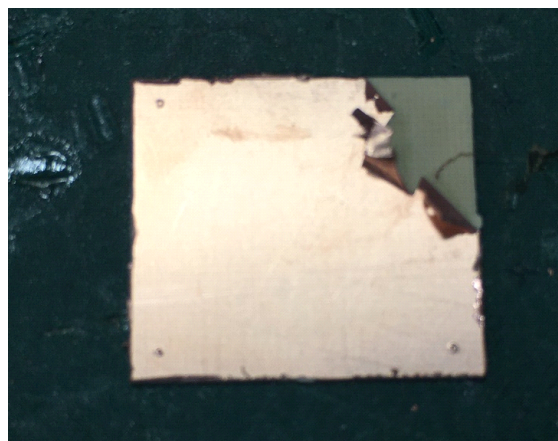


図 3.7: 銅箔剥離中の基板

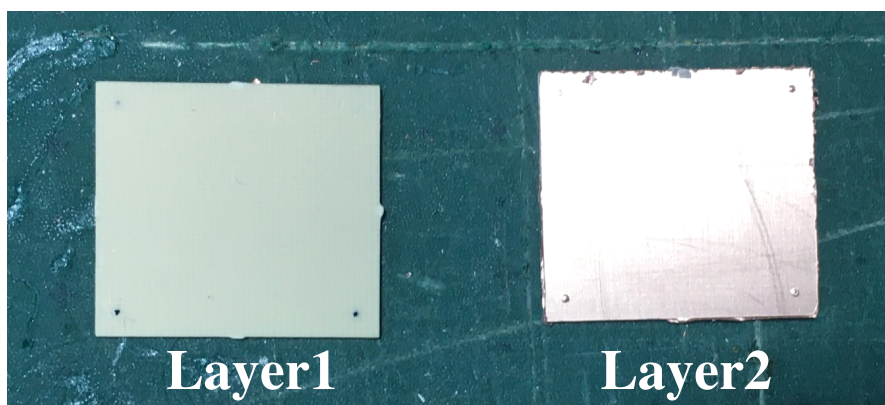
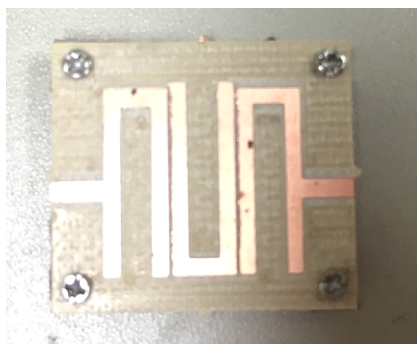


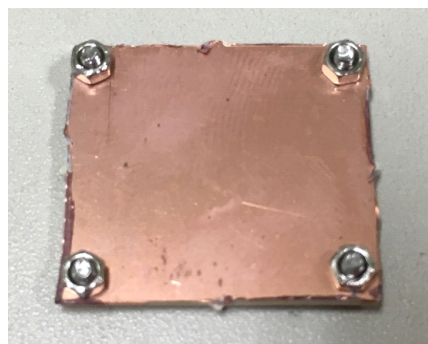
図 3.8: 銅箔剥離後の基板

3.1.5 ネジ及びナット止め

2枚の基板を重ね、ドライバーを用いてネジ及びナット止めを行う。加工後の基板を図 3.9 に示す。なお、ネジはステンレス製の M1.4×3.0 の小ネジ (丸皿) を使用した。ネジを止める強さについては、緩いと基板のずれの発生や空気層厚の増加につながり、強く締めると基板が歪むことや破損につながるため、適度な調整を行うべきである。



表面



裏面

図 3.9: 銅箔剥離後の基板

3.1.6 SMA コネクタの装荷

回路の給電線に SMA コネクタをはんだ付けする．SMA コネクタを装荷した基板を図 3.10 に示す．

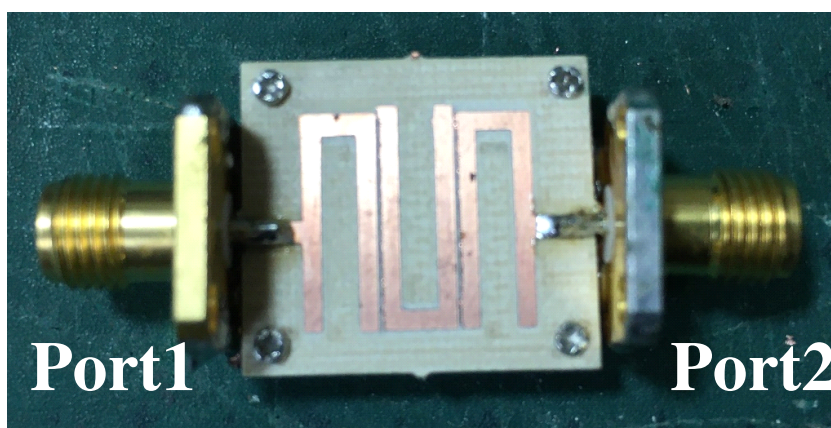


図 3.10: 銅箔剥離後の基板

3.2 試作方法の考察

本検討における試作方法では，基板加工機によるプリント回路基板の加工以外の工程を全て手作業で行うことができる．また，手作業で行う工程に関しても，ドリルビットを用いた貫通穴の拡張，カッターナイフを用いた銅箔の剥離及びドライバーを用いたネジ及びナット止めのみであり，特殊な技術や機械を必要としない．使用する道具については，基板加工機の汎用機は約 20 万円から購入ができ，ドライバーやネジについても比較的安価に購入が可能である．通常は専用の大型機器を用いて，積層構造を実現するためにプリント回路基板では接着剤またはプリプレグと基材を接着してプレスによる積層，LTCC 基板では高温でセラミックを押し固め，薄膜構造では真空中で膜厚を制御する必要があることと比較し，本検討の試作方法では入手性が高い手段による短時間かつ手作業での積層による積層基板の試作を行うことが可能となっている．本検討の構造であれば，1 時間半程度で試作を行うことができる．

第4章 積層共振器の設計及び試作実験

4.1 設計仕様

本検討における BPF の設計仕様を表 4.1 に示す．また，挿入損失 IL の目標値を 1 dB 以下とする．中心周波数は，現在普及しつつある格安 SIM のサービスにも使用される WiMAX に主として対応している Band41 として，2.5 GHz 帯とした．ここで， IL を求める式を式 (4.1) に示す．比帯域 $\omega/\Delta\omega$ ，規格化素子値 g_i ，共振器の無負荷 Q 値 $Q_{u,i}$ とする．段数が 3 段の時の g_i を表 4.2 に示す [13]． IL を 1 dB，通過帯域幅を 500 MHz として式 (4.1) に代入し計算すると，無負荷 Q 値 Q_u は約 70 程度と求められる．無負荷 Q 値が 70 以上となる共振器の設計は現実的であると考え，通過帯域幅は 500 MHz とした．また，フィルタ特性は急峻なスカート特性を有し，低段数で減衰量を大きく得ることが可能となるチェビシェフ特性とした．

表 4.1: BPF の設計仕様

中心周波数	2.5 GHz
通過帯域幅	500 MHz
リップル幅	0.1 dB
段数	3 段
フィルタ特性	チェビシェフ

$$IL = 4.343 \frac{\omega_0}{\Delta\omega} \sum_{i=1}^N \frac{g_i}{Q_{u,i}} \quad (4.1)$$

表 4.2: 3 段フィルタの g 値

g_0	g_1	g_2	g_3	g_4
1	1.032	1.147	1.032	1

4.2 共振器形状

積層共振器には，両端開放ヘアピン形共振器を用いる．両端開放ヘアピン形共振器を図 4.1 に示す．両端開放ヘアピン形共振器は線路間の距離 w_1 ，線路幅 w_2 及び長手方向の長さ l の 3 種のパラメータで調整を行うため，パラメータが少なく設計が容易である．また，180 度回転させた同様の共振器を組み合わせることにより，インターディジタル結合することで強い結合が発生する．

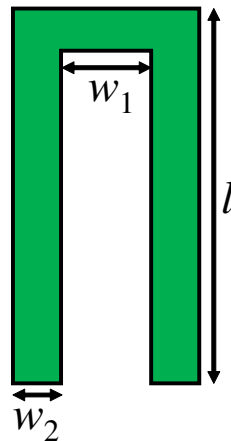


図 4.1: 両端開放ヘアピン形共振器

4.3 積層共振器の構造

積層共振器の構造を図 4.2 に示す．積層共振器は，2 つの両端開放ヘアピン形共振器を積層方向にインターディジタル結合させることで 1 つの共振器としてみなす．2 つの共振器が電磁界結合することにより見かけの電気長が長くなり，同じ共振周波数を有する共振器において 1 つの共振器と比較して長手方向の共振器長を

短くできるため，面積方向について小型化が可能である．四隅をネジ止めすることにより積層化を行い，積層共振器を作製する．

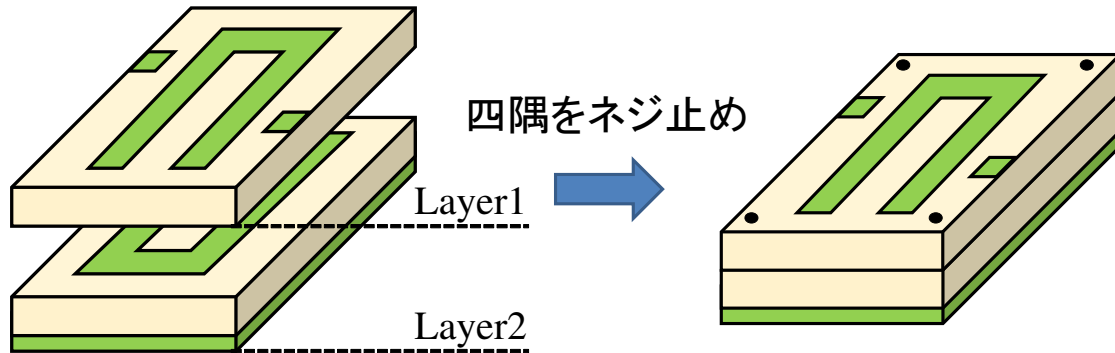


図 4.2: 積層共振器の構造

4.4 積層共振器の設計

4.1 節の表 4.1 に示した設計仕様より，フィルタの中心周波数を 2.5 GHz とするため，一次共振が 2.5 GHz に発生する積層共振器の設計を行う．設計した積層共振器の回路構造及び電磁界シミュレーションより得られた伝送特性をそれぞれ図 4.3 及び図 4.4 に示す．

図 4.4 の伝送特性より，2.5 GHz に一次共振が発生していることが確認できる．誘電体層を 1 層とした場合において，2.5 GHz に一次共振が発生するよう共振器を設計するとき，共振器の長手方向の長さは 18.6 mm となる．一方で本検討で設計した積層共振器は，基板厚は 0.5 mm から 1.0 mm と 2 倍になるものの，図 4.3 に示した回路構造より長手方向の長さは 11.7 mm となり，共振器長を約 37% 短縮することができた．なお，5 GHz 以上の周波数帯で発生しているスプリアスは高次共振によるものと考えられる．また，半値幅法を用いて計算した無負荷 Q 値は 138 となり，70 以上を満たしていることを確認した．一次共振が確認できたこと，また試作とシミュレーションの差を確認したいことから，本検討では図 4.3 に示した回路構造について試作実験を行うことを決定した．

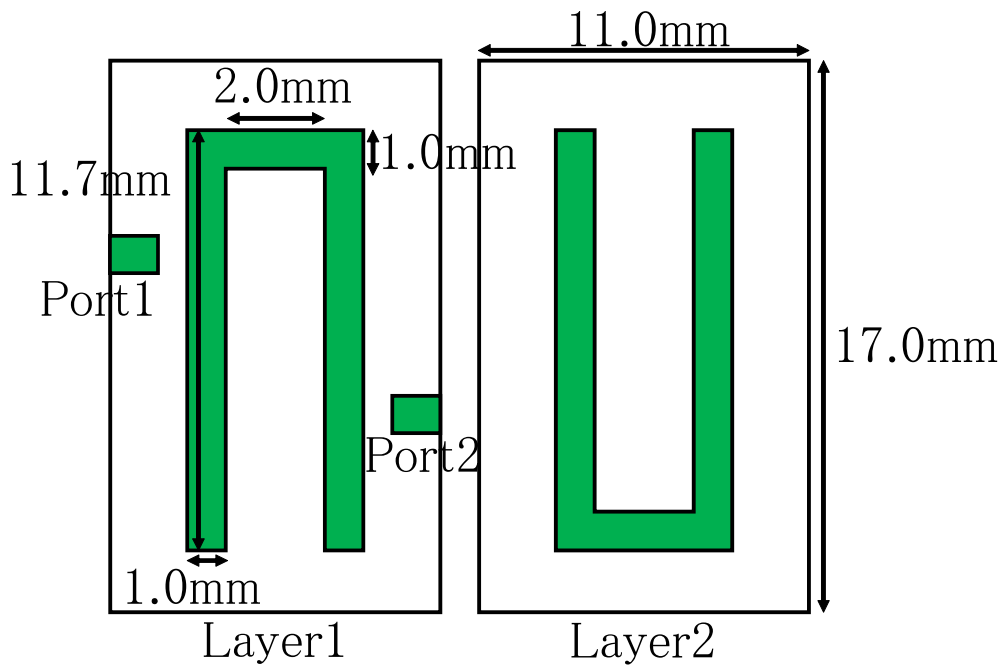


図 4.3: 積層共振器の回路構造

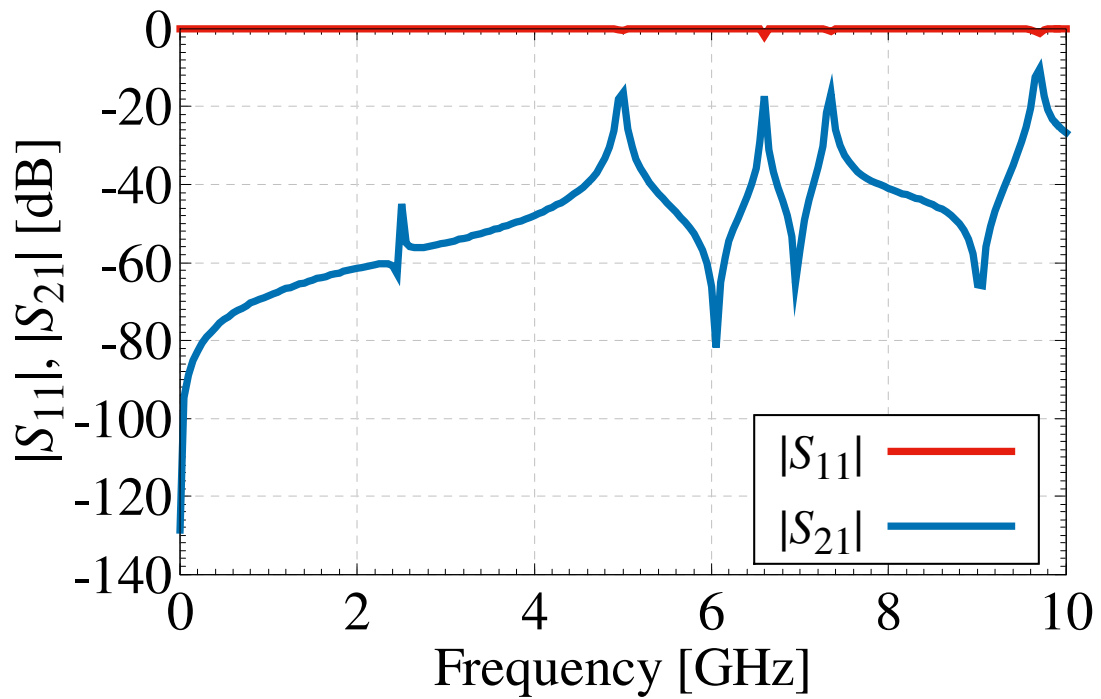


図 4.4: 図 4.3 に示した回路構造における伝送特性

4.5 積層共振器の試作実験

3.1 節で提案した試作手法を用いて、図 4.3 に示した回路構造の 2 層の積層共振器について試作及び測定を行った。試作した共振器及び共振器を側面から見た図をそれぞれ図 4.5 及び 4.6 に示す。また、測定により得られた伝送特性及び 2.5 GHz 付近の拡大図を図 4.7 及び図 4.8 に示す。図 4.7 及び図 4.8 に示した伝送特性より、試作した積層共振器の一次共振は 2.85 GHz に発生しており、シミュレーションと比較すると約 0.4 GHz 程度高域で発生するという結果を得た。また、試作した共振器の無負荷 Q 値は 158 と算出され、シミュレーション時よりも約 20 程度増加しており、設計仕様を決定した際の 70 以上という数値に関して実現できた。無負荷 Q 値がシミュレーションによる計算結果より増加した理由としては、シミュレーションでは確認できなかった減衰極が一次共振の近傍に発生し、無負荷 Q 値が高く見積もられたことが考えられる。共振周波数についてはシミュレーションと実測で変化が生じたが、提案した試作手法での積層基板の試作は可能であることが確認できた。

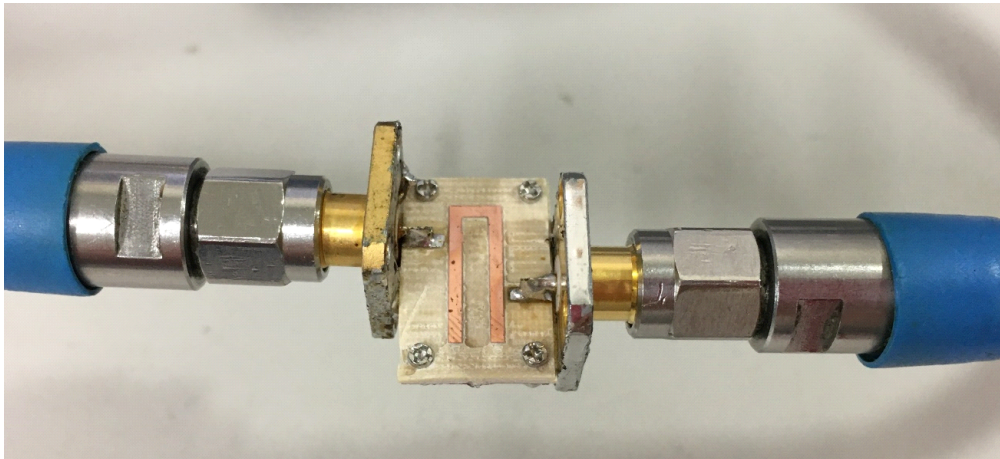


図 4.5: 試作した積層共振器

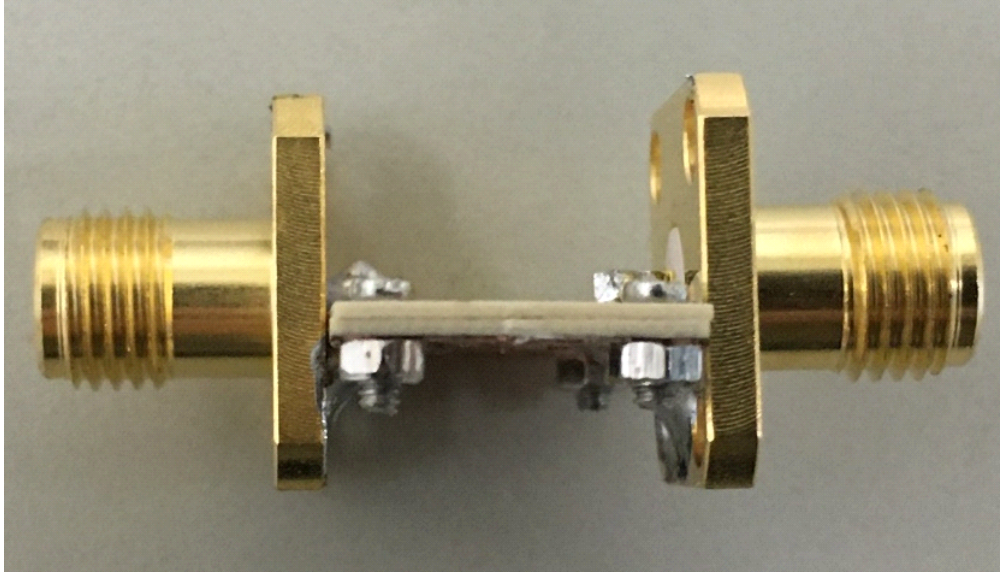


図 4.6: 試作した積層共振器の側面からの様子

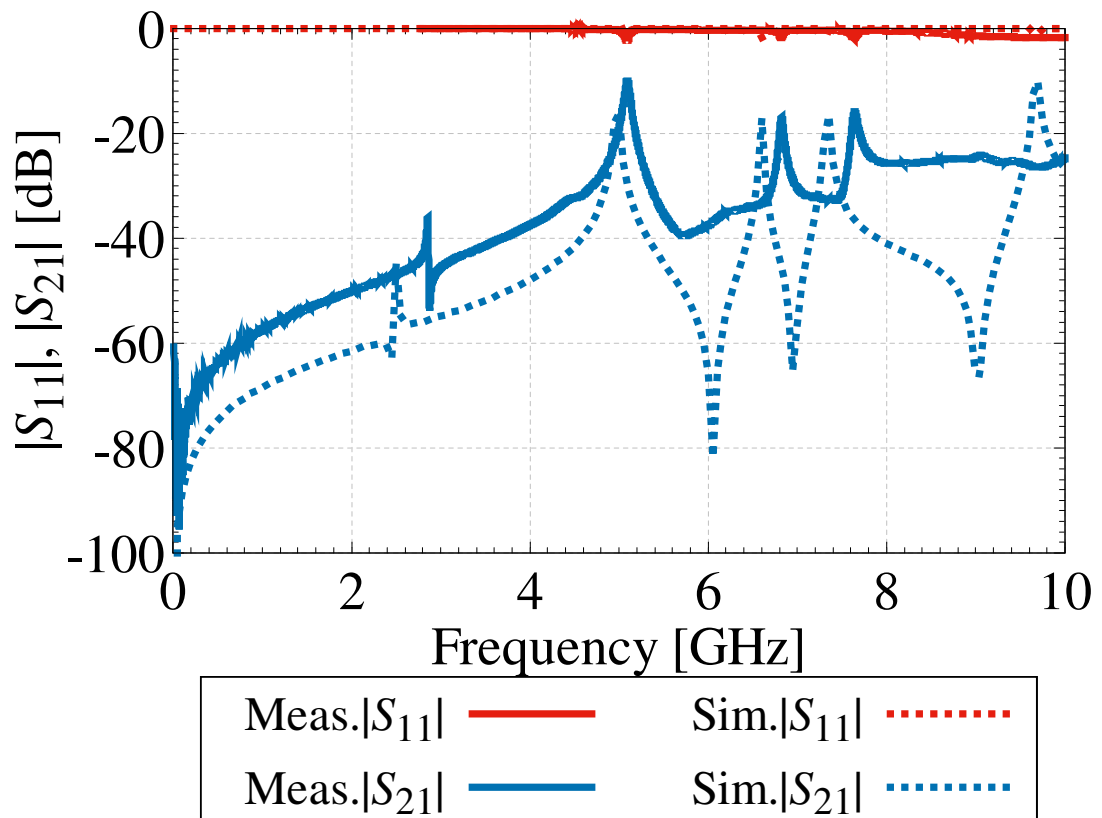


図 4.7: 図 4.5 に示した回路構造における伝送特性

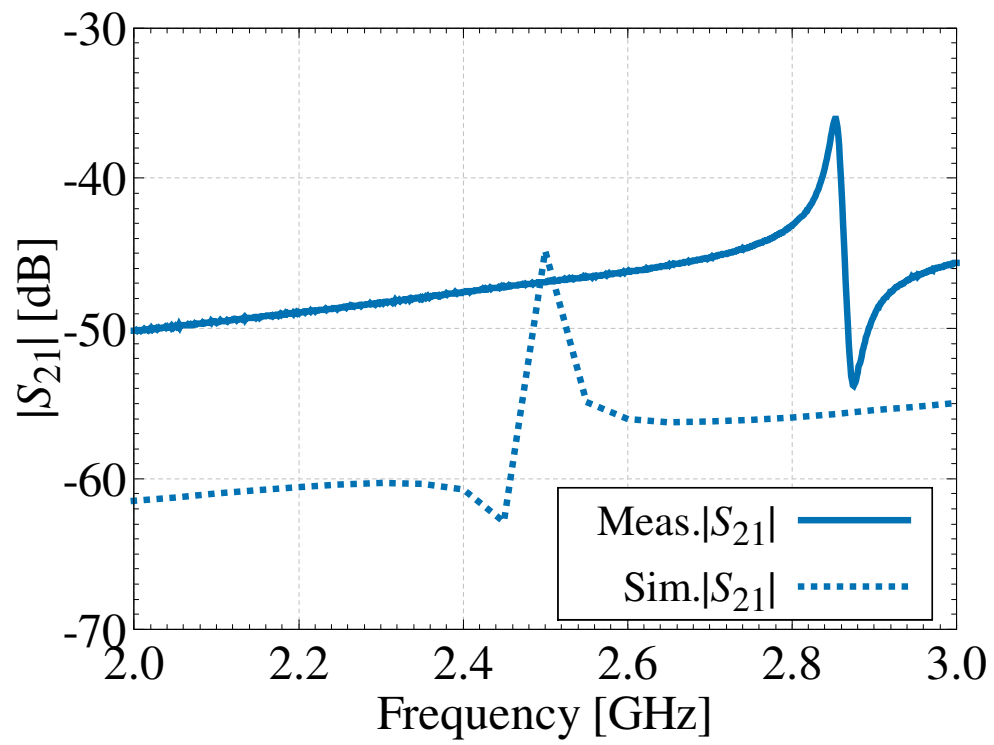


図 4.8: 図 4.7 に示した伝送特性における 2.5 GHz 付近の拡大図

第5章 積層共振器を用いた2層3段BPFの設計及び試作実験

第4章で検討した積層共振器を用いて，2層3段BPFの設計を行う．

5.1 外部Q値及び結合係数の算出

BPFを設計するにあたり，共振器及び給電線の配置を決定するため，4.1節の表4.1に示した設計仕様からフィルタ設計理論[13]に基づき外部Q値及び結合係数の算出を行う．3段のフィルタのトポロジを図5.1に示す．

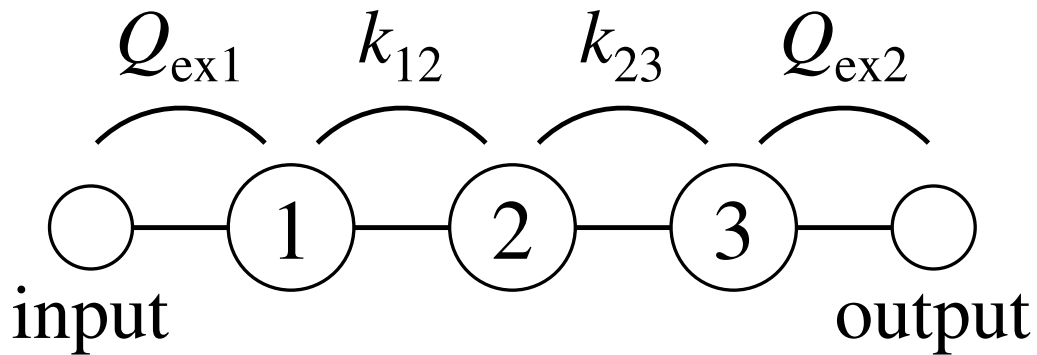


図 5.1: 3 段のフィルタのトポロジ

5.1.1 外部Q値

外部Q値とは，入出力の給電線と共振器の間の結合の強さを示すパラメータである．入力側の外部Q値 Q_{ex1} 及び出力側の外部Q値 Q_{ex2} は，4.1節の表4.2に示した3段フィルタの g 値，中心周波数 f_0 及び通過帯域幅 BW を用いて，それぞれ

式 (5.1) 及び式 (5.2) で表される.

$$Q_{\text{ex1}} = g_0 g_1 \frac{f_0}{BW} \quad (5.1)$$

$$Q_{\text{ex2}} = g_n g_{n+1} \frac{f_0}{BW} \quad (5.2)$$

本検討における設計仕様を用いて, 式 (5.1) 及び式 (5.2) より外部 Q 値 Q_{ex1} 及び Q_{ex2} を求めると, $Q_{\text{ex1}} = Q_{\text{ex2}} = 5.16$ と算出される. これを外部 Q 値の目標値とする. ここで, 入出力の給電線と共振器の結合位置を決定するため, 外部 Q 値をシミュレーションから算出する. 給電線の結合位置 t mm を変化させた際の外部 Q 値を算出し, 設計仕様から算出された目標値 5.16 に最も近い値をとる t を決定する. 外部 Q 値は半値幅法を用いて, 式 (5.3) で与えられる.

$$Q_{\text{ex}} = \frac{f_1 + f_2}{2(f_2 - f_1)} \quad (5.3)$$

外部 Q 値を求めるためにシミュレーションを行った回路構造及び得られた外部 Q 値の変化傾向をそれぞれ図 5.2 及び図 5.3 に示す. 図 5.2 に示した回路構造において, 出力側の給電線は共振器と十分に距離をとることで, 特性に影響が出ないよう疎結合としている. また, 線路は無損失として計算を行った. 図 5.3 に示した関係性より, $t = 2.7$ mm としたときに $Q_{\text{ex}} = 5.16$ となり目標値を得ることが確認できたため, 給電線と共振器の結合位置は $t = 2.7$ mm と決定した.

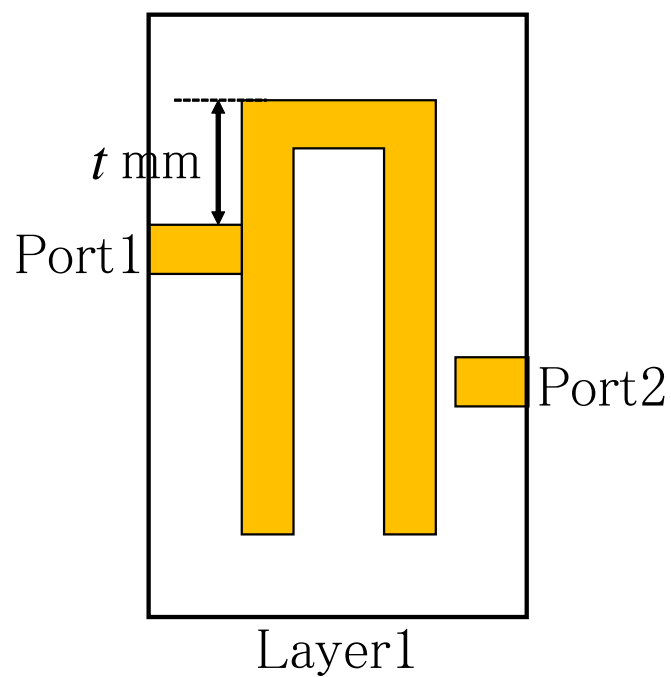


図 5.2: 給電位置決定の回路構造

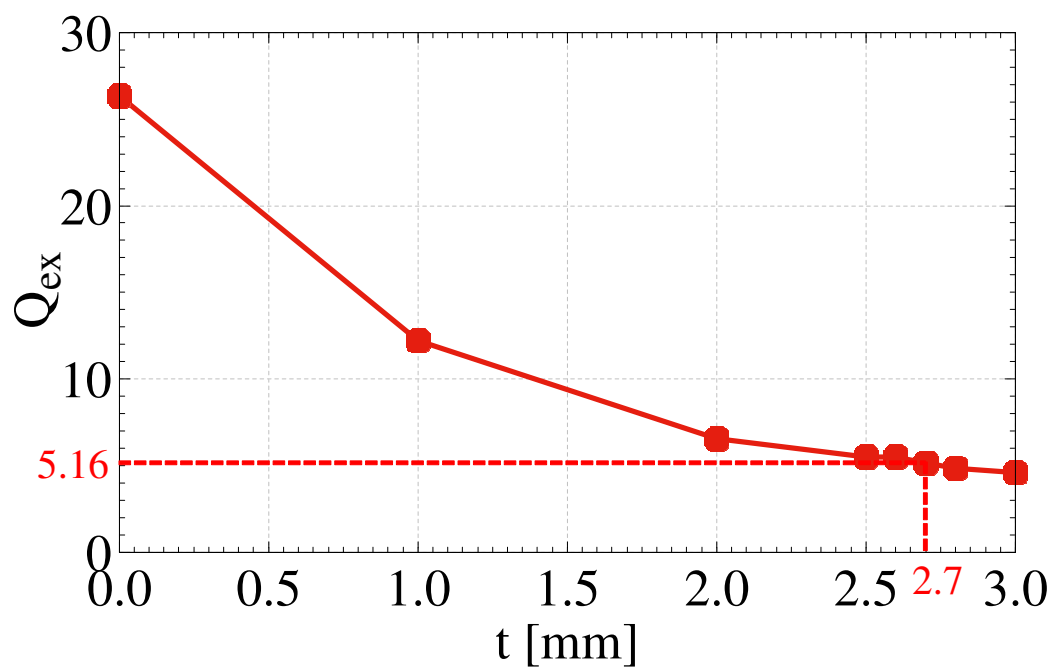


図 5.3: 給電位置 t 及び外部 Q 値の関係

5.1.2 結合係数

結合係数とは，共振器間の結合の強さを示すパラメータである．結合係数 $k_{i,i+1}$ は式 (5.4) で表される．

$$k_{i,i+1} = \frac{1}{\sqrt{g_i g_{i+1}}} \cdot \frac{BW}{f_0} \quad (5.4)$$

本検討における設計仕様を用いて，式 (5.4) より結合係数 k_{12} 及び k_{23} を求めると， $k_{12} = k_{23} = 0.18$ と算出される．これを結合係数の目標値とする．ここで，共振器間の距離を決定するため，結合係数をシミュレーションから算出する．共振器間の距離 d mm を変化させた際の結合係数を算出し，設計仕様から算出された目標値 0.18 に最も近い値をとる d を決定する．結合係数は透過特性において共振が発生する周波数を f_1 及び f_2 とすると，式 (5.5) で表される．このとき $f_1 < f_2$ とする．

$$k = \frac{2(f_2 - f_1)}{f_1 + f_2} \quad (5.5)$$

結合係数を求めるためにシミュレーションを行った回路構造及び得られた結合係数の変化傾向をそれぞれ図 5.4 及び図 5.5 に示す．図 5.4 に示した回路構造において，入出力の給電線は共振器と十分に距離をとることで，特性に影響が出ないよう疎結合としている．また，線路は無損失として計算を行った．図 5.5 に示した関係性より， $d = 0.17$ mm としたときに $k = 0.18$ となり目標値を得ることが確認できた．しかし，基板加工機を用いた試作を行うにあたり，使用する基板加工機のドリル径が 0.2 mm となっている．そのため，設計の段階で $d = 0.2$ mm とする．

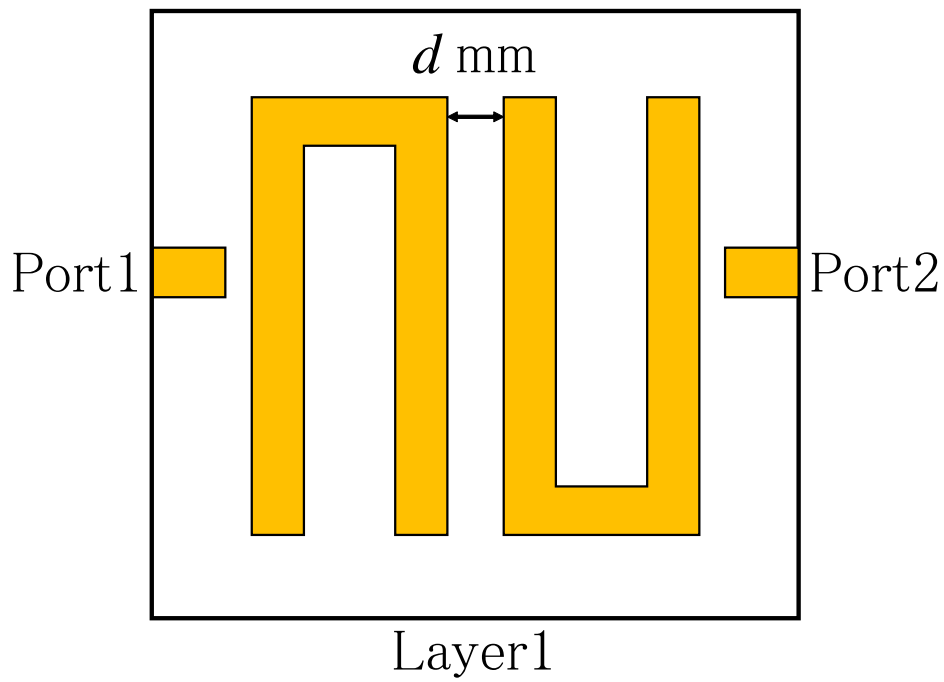


図 5.4: 共振器配置決定の回路構造

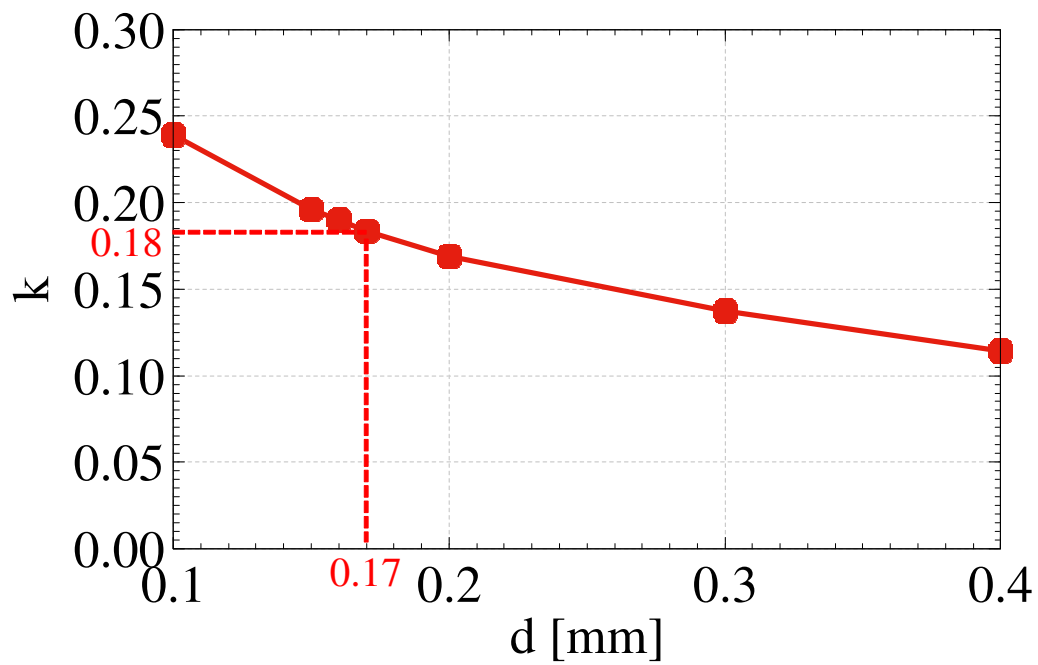


図 5.5: 共振器の間隔 d 及び結合係数 k の関係

5.1.3 求めた外部 Q 値及び結合係数を用いて設計した BPF

外部 Q 値及び結合係数から求めた値を用いて，BPF を設計する．給電線の位置を $t = 2.7/\mu\text{m}$ ，共振器間の距離を $d = 0.2\text{mm}$ として設計した回路構造を図 5.6 に示す．また，図 5.6 に示した回路より，得られた伝送特性及び通過帯域付近の拡大図をそれぞれ図 5.7 及び図 5.8 に示す．図 5.7 及び図 5.8 に示した伝送特性より，通過帯域の特性は乱れ，フィルタの電気特性が成立していないことが確認できる．原因として，BPF として積層し構造化した際に，単層の時とは異なり層間などで予期できない電磁界結合が発生しているのではないかと考えた．そのため，外部 Q 値及び結合係数から設計した BPF を基にし，さらに調整を行うことにより再度 BPF の設計を行う．

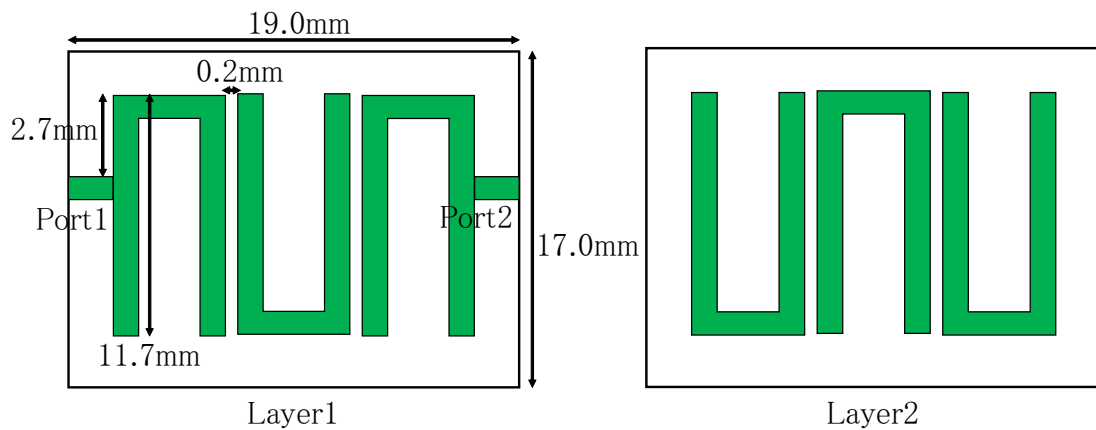


図 5.6: 外部 Q 値及び結合係数から設計した BPF の回路構造

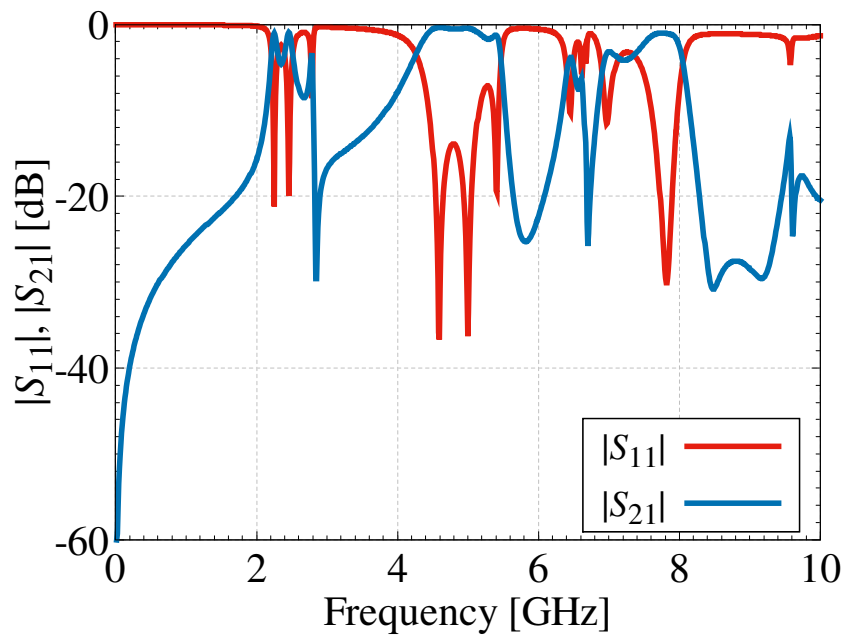


図 5.7: 図 5.6 に示した回路構造より得られた伝送特性

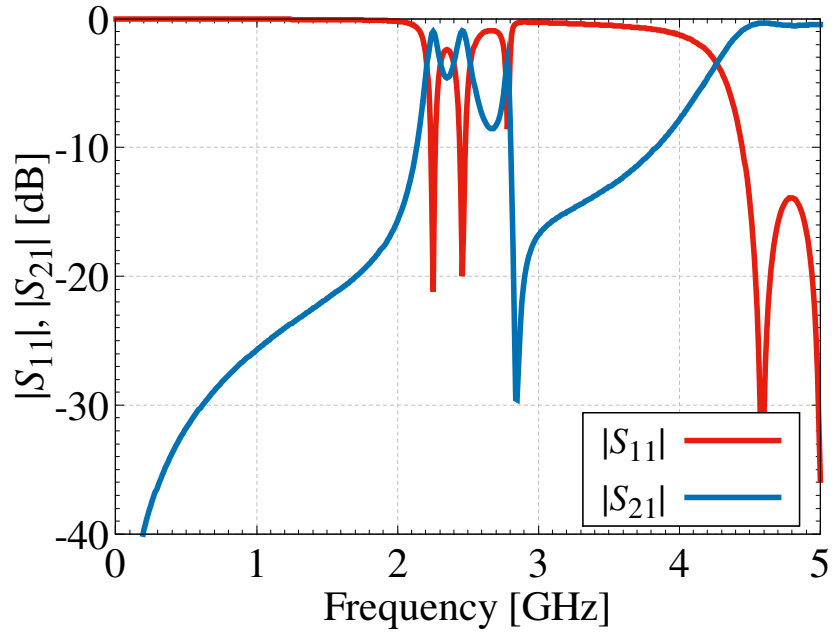


図 5.8: 図 5.7 に示した伝送特性における通過帯域付近の拡大図

5.2 BPF の設計

フィルタ設計理論を適用した BPF ではフィルタ特性を得ることができなかったため、給電線の位置や共振器長の調整を行うことにより再度 BPF の設計を行う。2 層 3 段 BPF の構造及び設計した BPF の回路構造をそれぞれ図 5.9 及び図 5.10 に示す。図 5.10 に示した回路構造について、電磁界シミュレーションにより得られた伝送特性及び通過帯域付近の拡大図をそれぞれ図 5.11 及び図 5.12 に示す。図 5.11 及び図 5.12 に示した伝送特性より、中心周波数 2.49 GHz, 通過帯域幅 540 MHz, 挿入損失の最悪値 0.48 dB, 反射損失の最悪値 18.22 dB と得られた。通過帯域幅は設計仕様と比較して 40 MHz 広帯域となったが、7%程度の増加であるため許容範囲とした。中心周波数はほぼ 2.5 GHz に近い値である。通過帯域内の反射特性から 3 つの極が発生していることが確認でき、通過帯域内においてインピーダンス整合が取れていることを表している。したがって、図 5.10 に示した回路構造について、試作実験を行う。

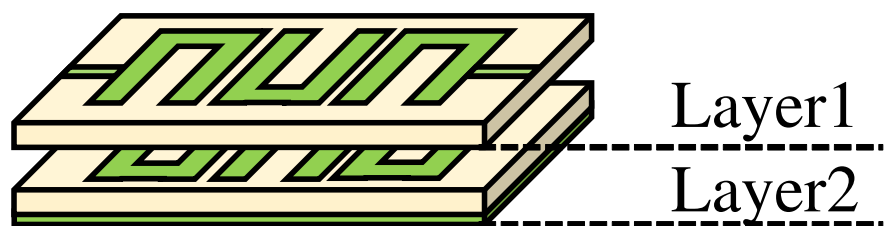


図 5.9: 2 層 3 段 BPF の構造図

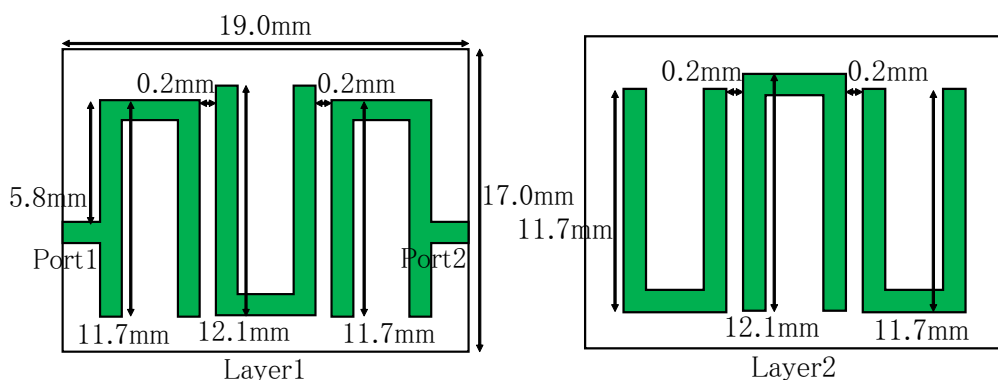


図 5.10: BPF の回路構造

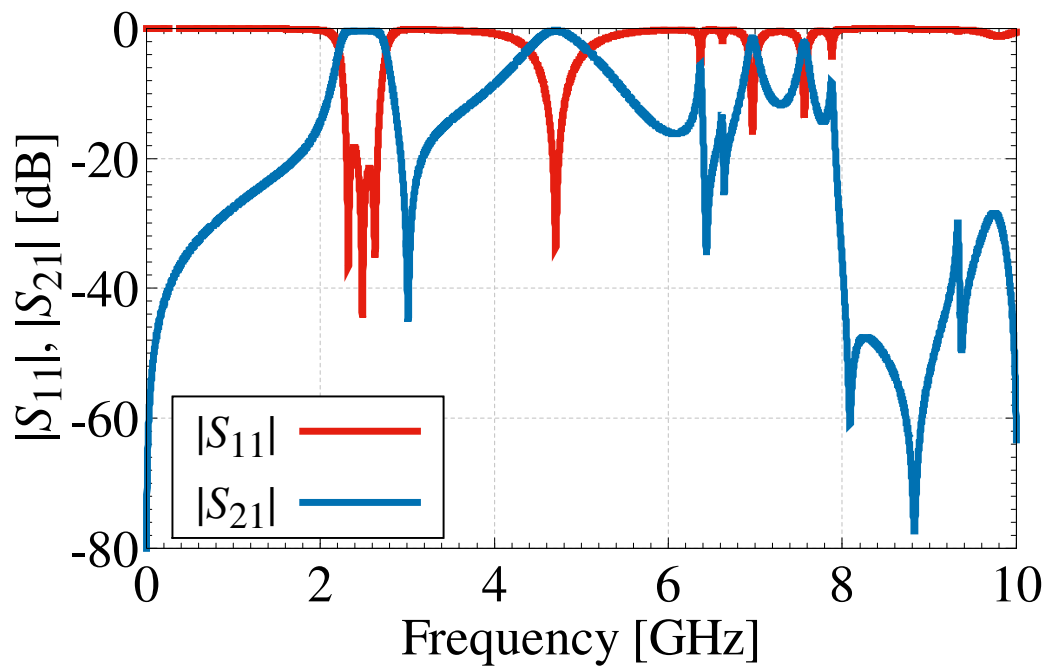


図 5.11: 図 5.10 に示した回路構造における伝送特性

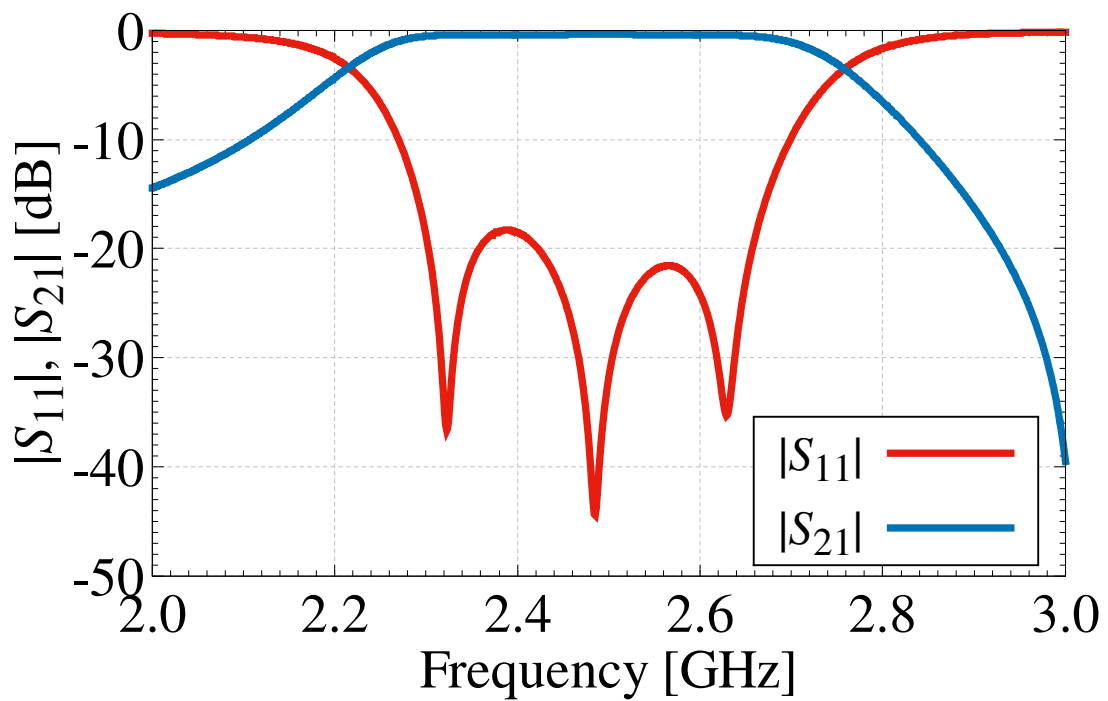


図 5.12: 図 5.11 に示した伝送特性における通過帯域付近の拡大図

5.3 BPF の試作実験

2 層の積層共振器を用いた 3 段 BPF について、3.1 節で提案した試作方法に基づいて試作実験を行う。試作する回路構造として、図 5.10 に示した回路構造について試作を行った。試作した BPF を図 5.13 に示す。回路基板のサイズは $19.0\text{ mm} \times 17.0\text{ mm} \times 1.054\text{ mm}$ である。通常の平面型両端開放ヘアピン形共振器を用いた 3 段 BPF の場合、基板サイズはおよそ $20.0\text{ mm} \times 25.0\text{ mm} \times 0.536\text{ mm}$ になることから、積層化を行うことで回路面積の削減が可能であることが確認できる。また、測定により得られた図 5.13 に示した BPF の伝送特性及び通過帯域付近の拡大図をそれぞれ図 5.14 及び図 5.15 に示す。図 5.14 及び図 5.15 に示した伝送特性より、中心周波数 2.75 GHz 、通過帯域幅 620 MHz 、挿入損失の最悪値 1.89 dB 、反射損失の最悪値 6.65 dB となり、中心周波数は約 0.3 GHz 程度高域となった。4.5 節の図 4.7 に示した、試作した積層共振器の伝送特性より、共振器単体の一次共振の共振周波数がシミュレーションと比較して高域となったことから、それに伴って同様の共振器を用いた BPF についても中心周波数が高周波側に移動したことが考えられる。通過帯域幅は設計時と比較して約 80 MHz 広帯域になっており、シミュレーションで確認できない結合が発生している可能性も挙げられる。図 5.14 に示した伝送特性からは、2 段目の共振器長を伸長し、共振周波数を低域に動かすことによって特性の改善が可能なのではないかと考えられる。また、試作の作業における影響については、次章にて検討を行う。

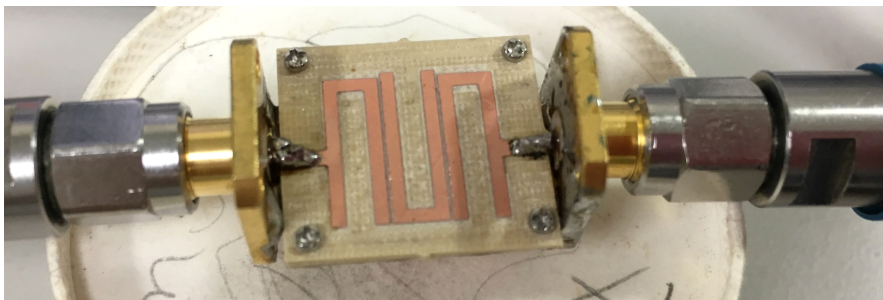


図 5.13: 試作した 2 層 3 段 BPF

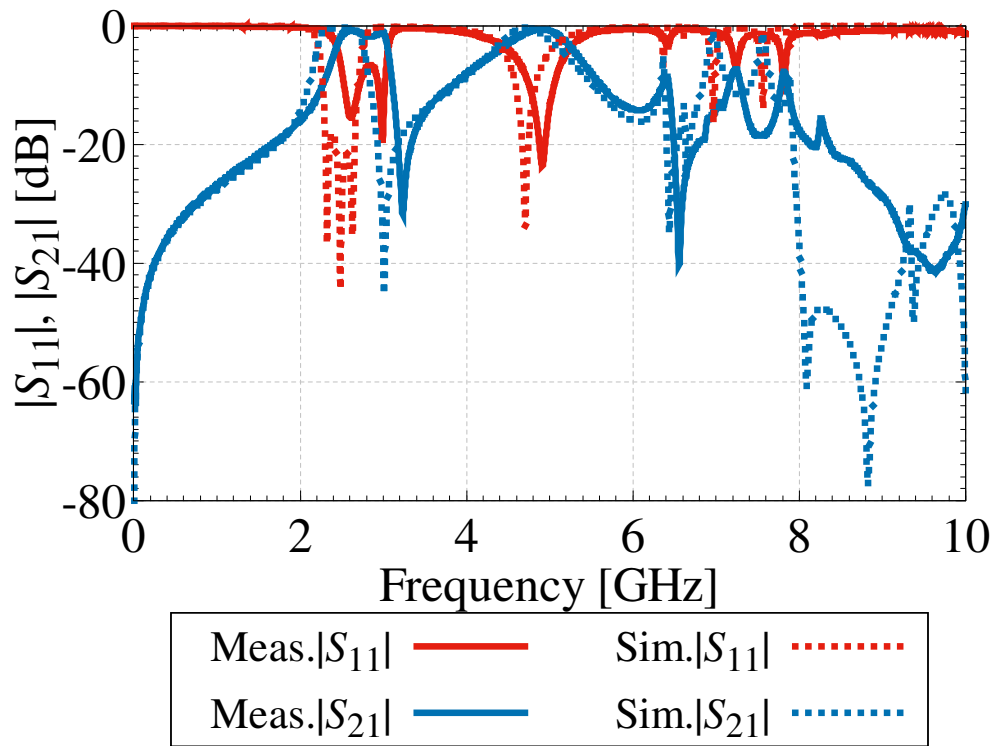


図 5.14: 図 5.13 に示した回路構造における伝送特性

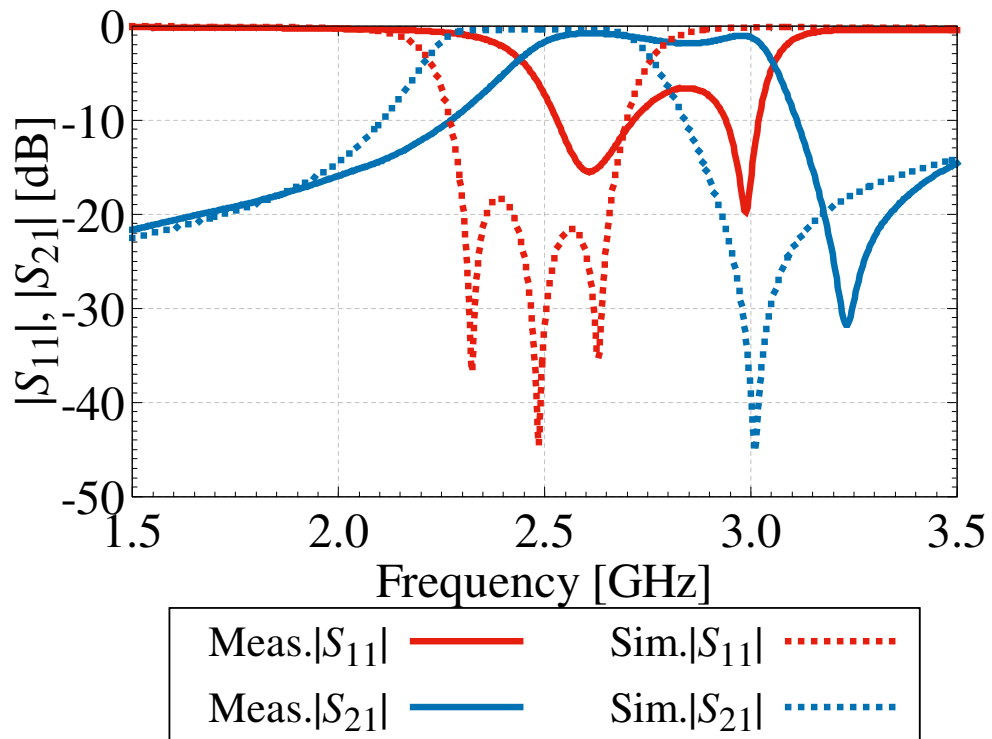


図 5.15: 図 5.14 に示した伝送特性における通過帯域付近の拡大図

第6章 試作実験の考察

第4章で検討した2層の積層共振器の設計及び試作実験，及び第5章で検討した積層共振器を用いた3段BPFの設計及び試作実験を通して得られた結果から，いくつかの観点について考察及び検討を行う．

6.1 再現性の確認

第3章で提案した積層基板の試作方法について，再現性を示すことで有効性を確認する．再現性の確認方法としては，第5章5.2節の図5.10に示したBPFの回路構造について再度同様の手順で試作実験を行い，1回目及び2回目の試作実験から得られた測定結果の比較を行うことにより，再現が可能かどうかを検討する．条件及び試作方法を同様にし，再度試作した3段BPFの測定結果(2nd)及び1回目に試作した3段BPFの測定結果(1st)の伝送特性の比較及び通過帯域付近の拡大図をそれぞれ図6.1及び図6.2に示す．図6.1及び図6.2に示した伝送特性より，中心周波数が0.05 GHz程度高周波側に移動している様子は見られるものの，通過帯域付近及び二次共振付近についてはほぼ一致しており，10 GHzまで概ね特性が一致していることが確認できる．僅かな特性の変化の原因としては，まず基板加工機による基板の掘削加工の程度が挙げられる．基板加工機は掘削位置は自動だが，導体を削る程度に関しては目視による調整が必要となる．そのため，導体のみではなく誘電体を削ったことによる影響であると考えられる．また，手作業によるネジ止めの締付強度の違いが考えられる．以上の原因による僅かな変化は発生するが，特性がほぼ一致したところから本検討で提案した基板加工機を用いた積層基板の試作方法は再現性がよい方法であると判断できる．

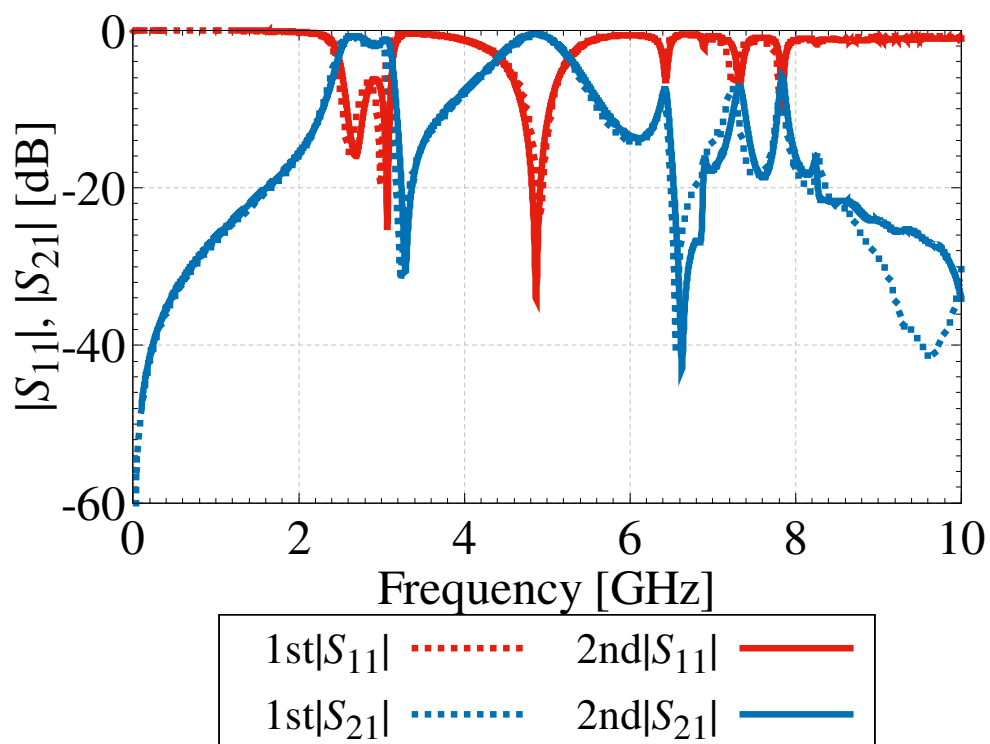


図 6.1: 再現性の確認に伴う 3 段 BPF の伝送特性の比較

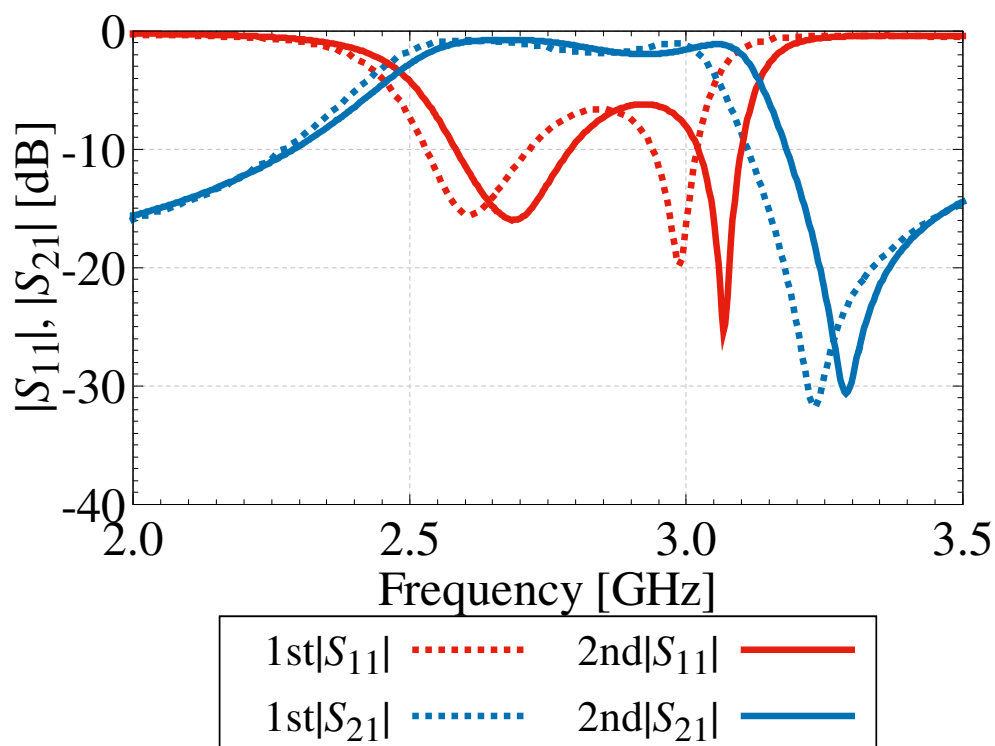


図 6.2: 図 6.1 に示した伝送特性における通過帯域付近の拡大図

6.2 積層共振器の比誘電率の合わせこみ

第4章4.5節の図4.7及び図4.8に示した2層の積層共振器の伝送特性より、試作実験より得られた特性がシミュレーションによる結果と比較して全体的に約0.3 GHz程度高周波側に移動する結果となった。原因の一つとして、基板を積層化することにより全体としての基板の比誘電率が変化している可能性を予想した。そこで、シミュレーション上における基板の比誘電率を変更し、試作実験の測定結果との特性の合わせこみを行う。比較の方法としては、試作実験より得られた図4.7に示した伝送特性に対し、シミュレーション上で基板の比誘電率を変更し、測定結果と一次共振の周波数が一致する数値を求める。回路構造については、図4.3に示した回路構造を使用する。合わせこみを行ったときの伝送特性を図6.3に示す。試作した回路構造は比誘電率を3.2と設定して設計を行ったが、試作した回路の測定結果に対して基板の比誘電率を2.4と設定した時に一次共振が発生する周波数がおおよそ一致することを確認した。つまり、基板を積層化したことにより、積層基板の比誘電率が2.4として見えている可能性があると考えられる。そこで次に、シミュレーション上で基板の比誘電率を2.4と設定し、一次共振が2.5 GHzに発生する積層共振器を改めて設計し、試作した。比誘電率を変更して設計した積層共振器の回路構造及び試作した回路の伝送特性をそれぞれ図6.4及び図6.5に示す。また、基板の比誘電率を3.2及び2.4として設計し試作した共振器の伝送特性の比較を図6.7に示す。図6.5に示した伝送特性より、試作した共振器の伝送特性は2.37 GHzに発生していることが確認できる。設計仕様としている2.5 GHzと比較して0.13 GHz程度低周波側に移動している。シミュレーション結果と測定結果がより近い値を示したことから、基板を積層する際に結合や空気層の影響により、実効的な比誘電率が約2.4程度に見えている可能性が考えられる。

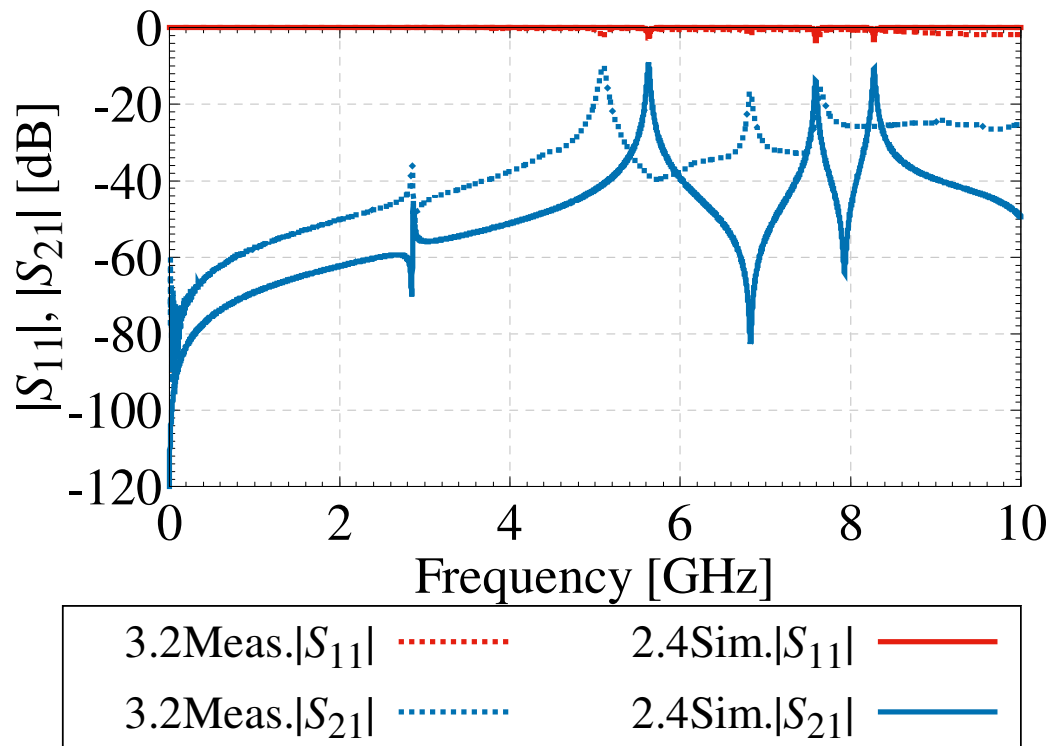


図 6.3: 基板の比誘電率を 2.4 としてシミュレーションした際の伝送特性

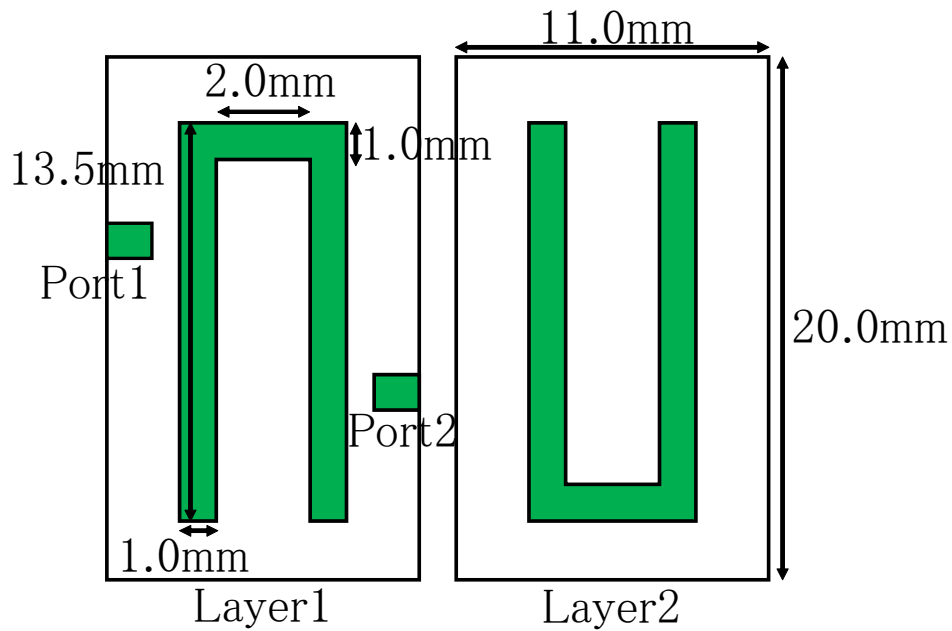


図 6.4: 比誘電率を変更して設計した積層共振器の回路構造

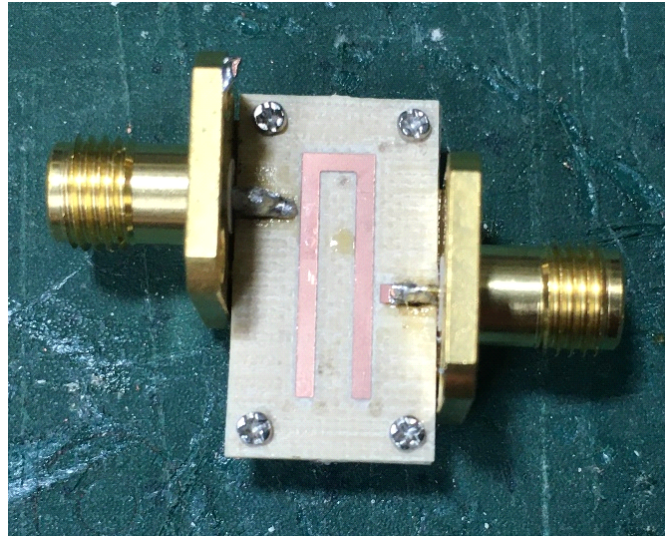


図 6.5: 図 6.4 に示した回路構造について試作した共振器

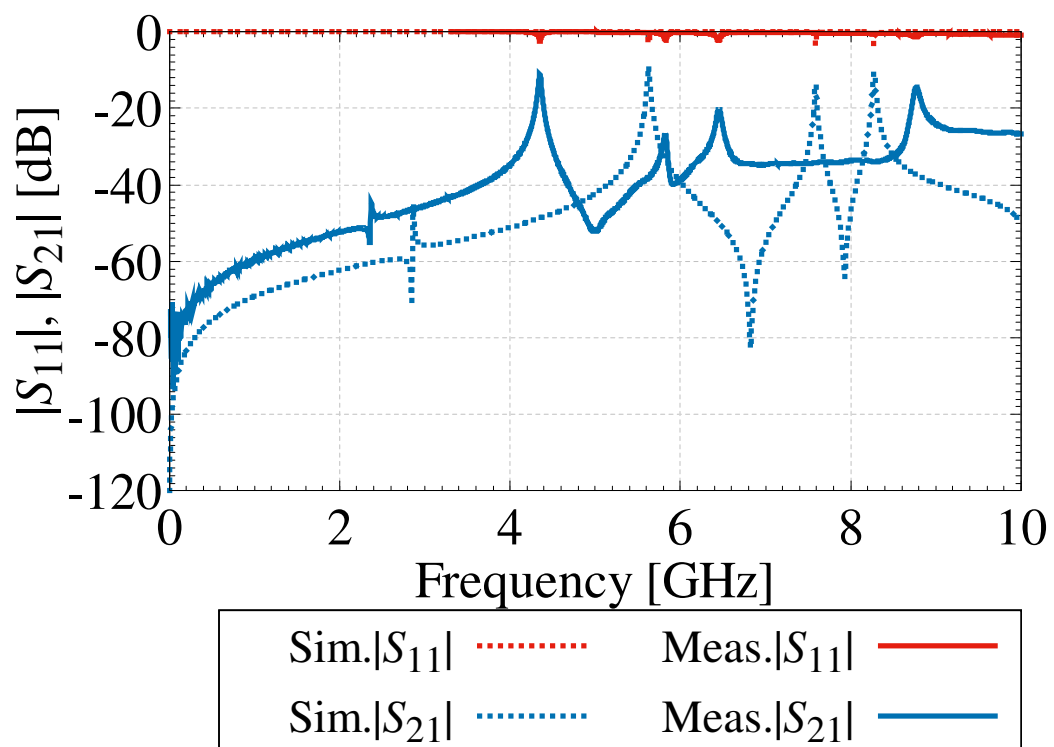


図 6.6: 図 6.5 に示した共振器の伝送特性

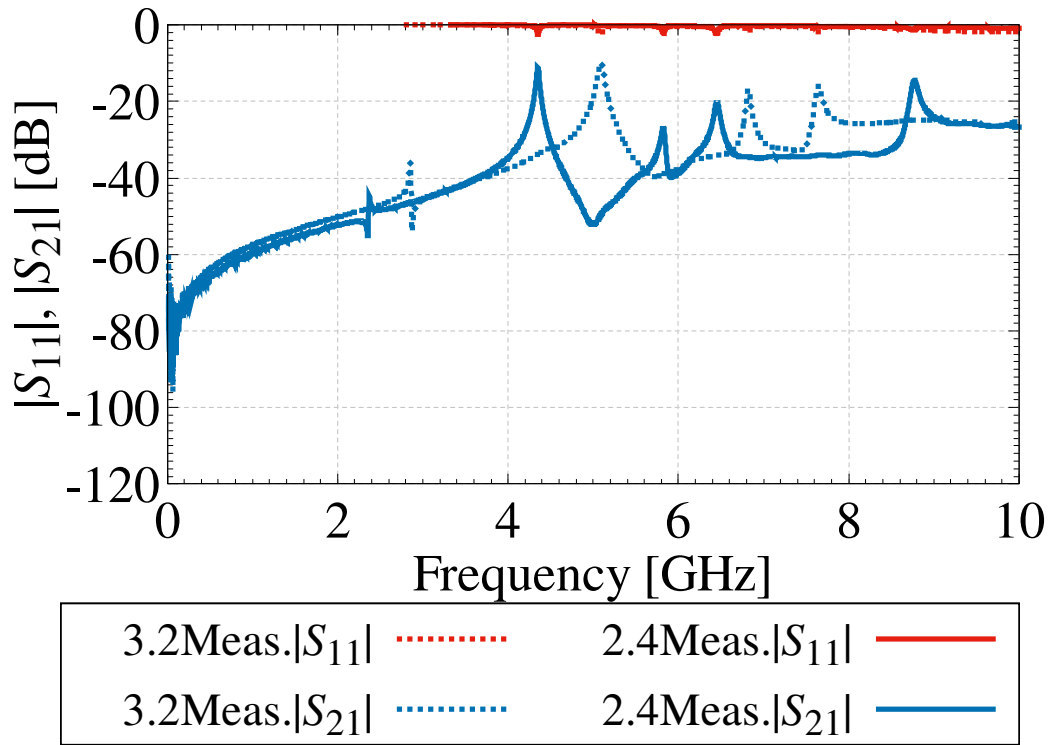


図 6.7: 比誘電率を 3.2 及び 2.4 として設計した共振器の測定結果の比較

6.3 空気層の厚みの影響

6.3.1 空気層の厚みが増加した際の伝送特性

試作した回路について、本検討においては内部の様子を確認することは難しく、2 層の間に発生している空気層の厚みを測定することはできない。そのため、想定していない空気層が内部に入り込む可能性を考慮する必要がある。そこで、図 5.10 に示した回路構造について、電磁界シミュレーション上で検討を行う。本検討における積層基板の簡単な構造を図 6.8 に示す。ここで、2 層の間の空気層の厚みを h とする。 h は理想状態では 0 mm となるが、実際には基板をネジ止めする際に基板がたわみ、 h は 0 mm ではない可能性が高い。そこで、 h を 0 mm、0.01 mm 及び 0.1 mm に変更し、伝送特性への影響を確認する。 h を変更した際の電磁界シミュレーションより得られた伝送特性を図 6.9 に示す。図 6.9 に示した伝送特性より、 h の大きさが大きくなるほど、通過帯域が高周波側に移動していることが確認でき

る．試作した回路の伝送特性においても，図 5.14 に示した伝送特性より 0.3 GHz 程度高周波側に移動している．以上の結果より，試作において積層化する際に基板間に空気層が生成されたことにより，中心周波数が高周波側に移動した可能性が考えられる．また，図 6.9 に示した伝送特性において，中心周波数は高周波側に移動しているが， h が変化することによって通過帯域内の反射特性が改善している様子が確認できる．空気層の厚みを設計の段階から考慮し，厚みを変化させることによって伝送特性における損失の改善や，周波数の調整が可能となることも考えられる．しかし，現実的には試作した回路の空気層を確認することは非常に困難であるため，設計段階からの考慮や試作結果からのフィードバックが重要である．

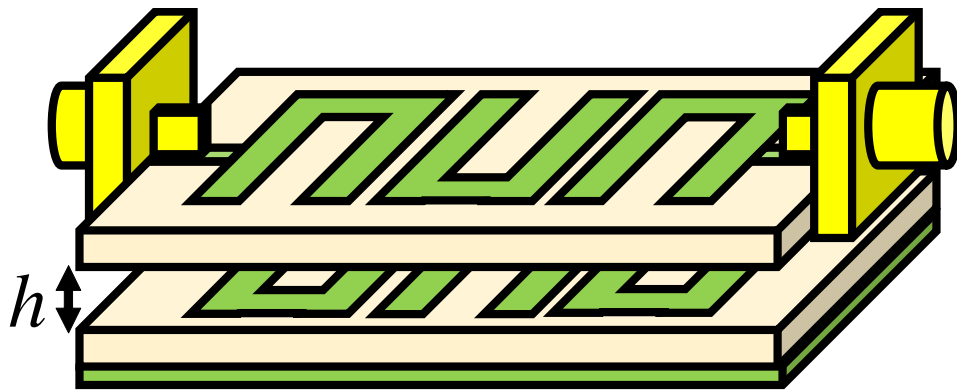


図 6.8: 2 層の積層基板の構造図

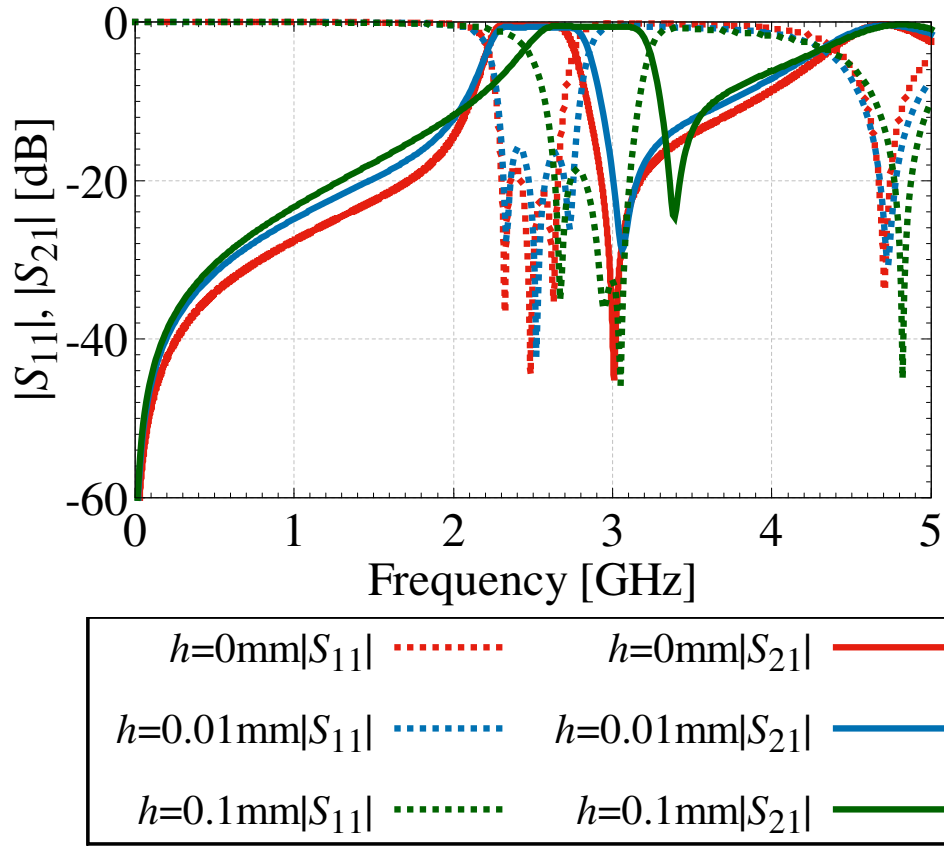


図 6.9: 空気層厚 h を変化した際の BPF の伝送特性

6.3.2 試作した回路のネジ調整

本検討で提案する試作方法では、基板の積層化をネジ止めによって行う。ネジ止めは手作業で行うことから、止める強さによっては空気層や基板の歪みの発生につながる。そこで、回路基板を固定しているネジを外すことによる伝送特性への影響を確認する。また、固定ネジを外すことにより基板間の空気層が増加すると予想されるため、図 6.9 に示した h を変化した際の伝送特性との関連についても検討を行う。固定ネジを外した時の BPF を図 6.10 に示す。また、固定ネジを外した BPF の伝送特性及び通過帯域付近の拡大図をそれぞれ図 6.11 及び図 6.12 に示す。図 6.11 及び図 6.12 に示した伝送特性より、通過帯域及び共振の周波数帯に大きな変化は見られず、10 GHz までネジ止めしている時と概ね同様の特性を示した。図 6.9 に示した h を変化した際の伝送特性より、基板間に空気層が生成され

ると高周波側に移動する様子が見られたが、ネジを外した際にはその傾向が確認できなかった。変化がない原因としては、基板を重ねた後に SMA コネクタをはんだで固定しているため、それにより基板も積層の状態で頑丈に固定されている可能性が挙げられる。また、反射損失については、ネジで固定しているときと比較して約 3dB 程度の改善を確認した。反射損失の改善は空気層厚の増加からも見られた傾向であり、 h を変化させた際のシミュレーションにより得られた結果は、実測を行った際にも確認できると考えられる。基板間の空気層は、広げ過ぎると BPF の中心周波数が移動するが、微調整することによって伝送特性を改善できる可能性があることを示している。

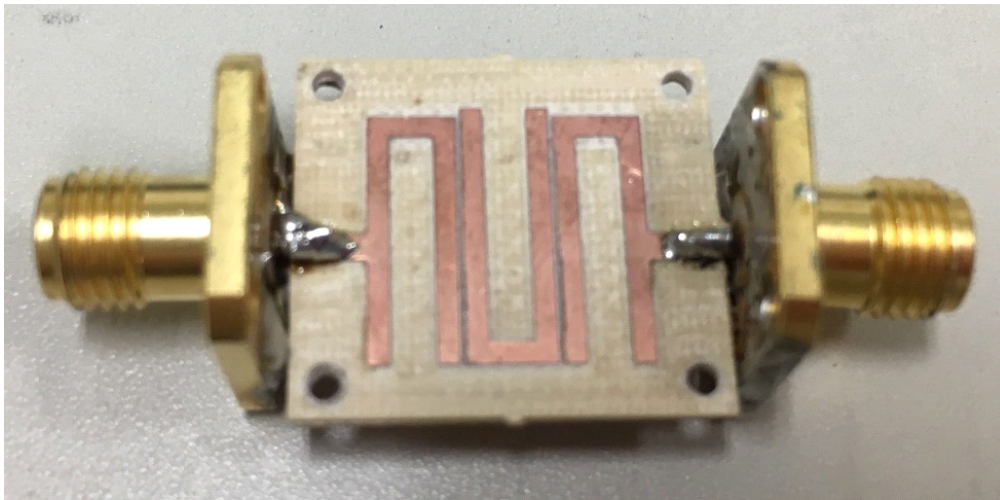


図 6.10: 固定ネジを外した BPF

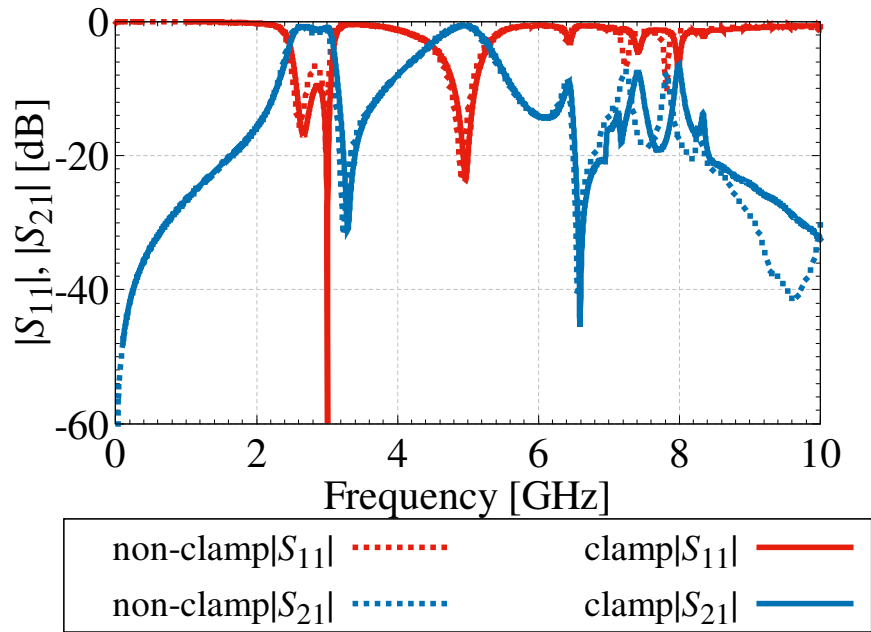


図 6.11: ネジを緩めた際の BPF の伝送特性

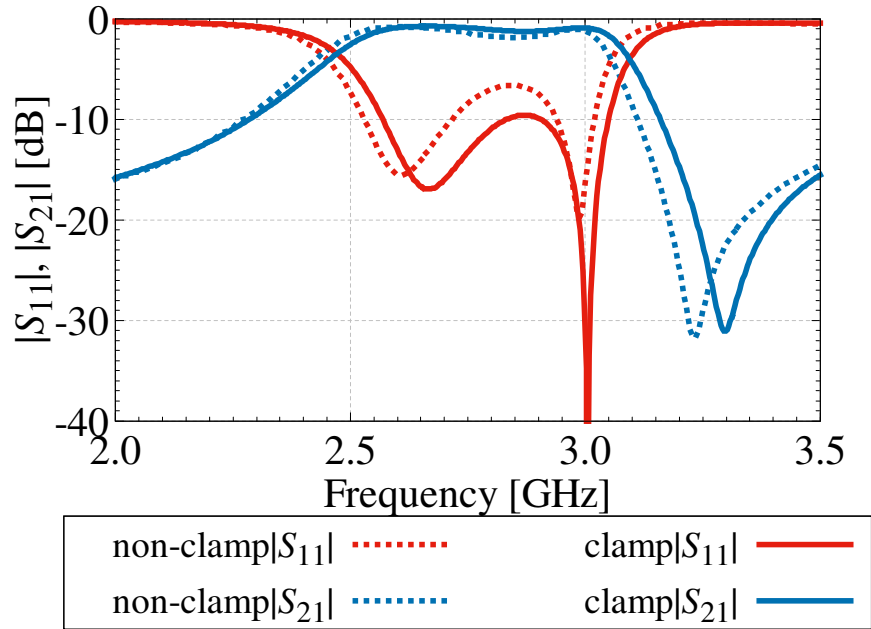


図 6.12: 図 6.11 に示した伝送特性における通過帯域付近の拡大図

6.4 遮蔽による変化

2層3段BPFについて、回路基板の周囲を遮蔽した際の影響について検討を行う。試作した回路の設計時には、HFSSにて解析空間を回路サイズと比較して十分に大きく取り、境界条件をradiationと設定して電磁界シミュレーションを行った。つまり、遮蔽を行わない設定で設計したBPFを試作した。そこで、銅板を用いて遮蔽壁を作ることにより、放射の影響を確認する。遮蔽壁には、厚さ0.1mmの銅板を使用した。銅板による横壁を設置したBPFを図6.13に示す。また、遮蔽を行わないとき、横壁のみ設置したとき及び天井を設置し完全遮蔽の状態にしたときのBPFの伝送特性及び通過帯域付近の拡大図をそれぞれ図6.14及び図6.15に示す。no-coveredが遮蔽なし、wallが横壁のみ、coveredが完全遮蔽の状態を示している。図6.14に示した伝送特性より、通過帯域付近における伝送特性の大きな変化は見られず、概ね同様の特性を示していることが確認できる。したがって、本検討で試作したBPFに関しては遮蔽の影響は非常に少ないため、壁を設置する必要はないと考えられる。

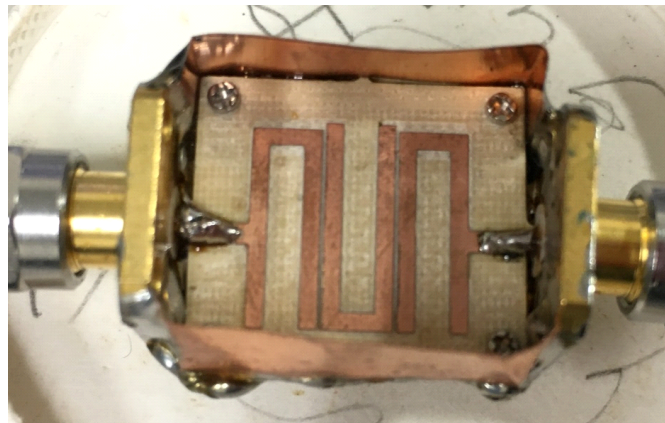


図 6.13: 銅板による遮蔽を行った BPF

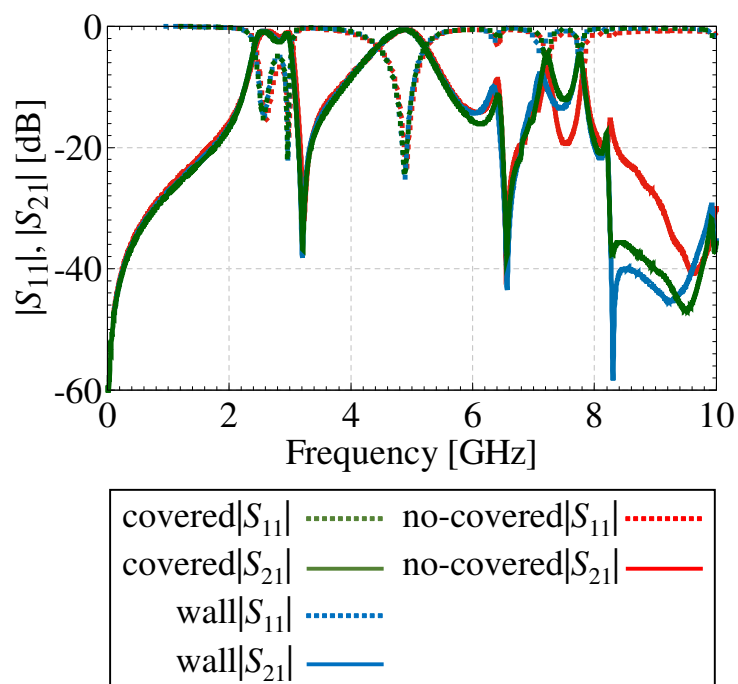


図 6.14: 遮蔽を行った際の BPF の伝送特性

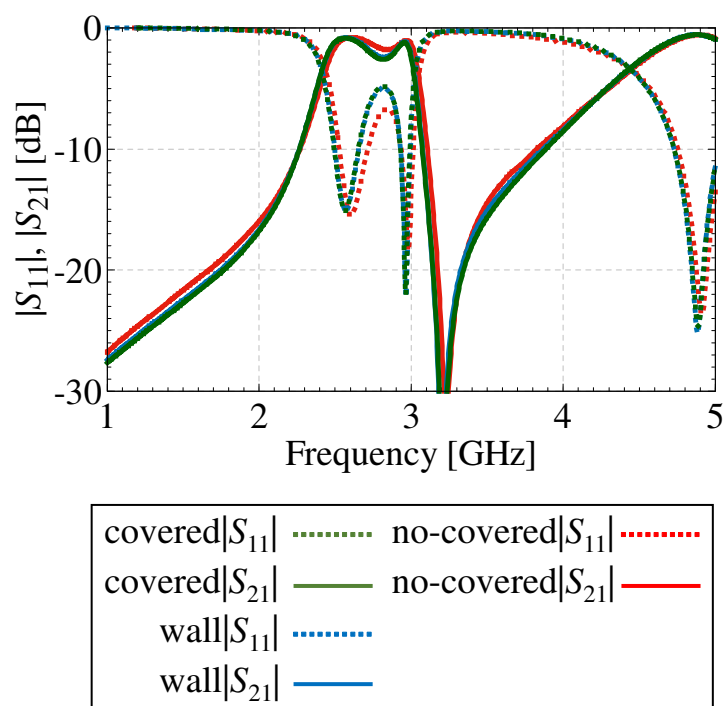


図 6.15: 図 6.14 に示した伝送特性における通過帯域付近の拡大図

第7章 チップ素子内蔵積層共振器の設計及び試作実験

7.1 チップ素子を内蔵する利点

7.1.1 チップ素子

チップ素子の模式図を図 7.1 に示す．本検討では，チップ素子の中でもチップキャパシタを使用する．チップ素子はサイズが小さいため小型化に有効ではあるが，欠点も存在する．図 7.2 にチップキャパシタの等価回路を示す．図 7.2 に示した等価回路から確認できるように，チップキャパシタには寄生抵抗 R_s 及び寄生インダクタ L_s が存在する．そのため，高周波帯では寄生素子の影響が強くなり，自己共振が発生することに加え，実際にチップ素子を用いて共振器を構造化した場合，その共振器の無負荷 Q 値が寄生成分により低下する．寄生インダクタについては内部電極構造の影響が大きく，チップキャパシタに関しては図 7.1 における長手方向の長さ L 及び電極の大きさ $W \times T$ によって決定される．チップキャパシタはサイズが小さいほど自己共振周波数が高くなり寄生インダクタ成分が小さくなることから，高周波には長さ L が短い小型の素子が適していると考えられる．また，チップ素子は素子定数に許容誤差が存在し，はんだ付けによる実装を行うことから回路の損失が大きくなる可能性がある．加えて，チップ素子の実装は一般的に表面実装であり，外部要因による破損の可能性や近傍に他の部品を装荷するスペースがないといった問題も考えられる．

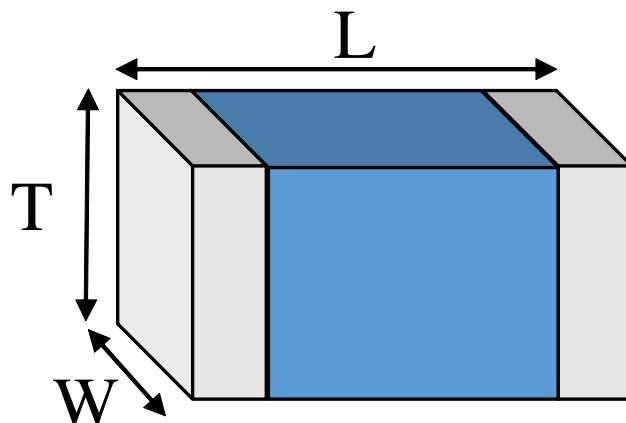


図 7.1: チップ素子の模式図

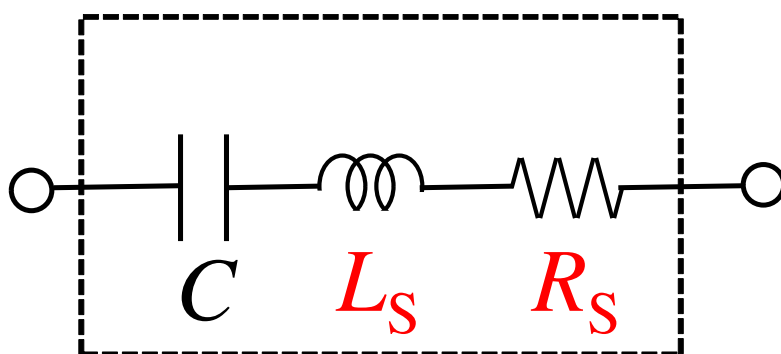


図 7.2: チップキャパシタの等価回路

7.1.2 本検討の共振器構造

本検討では、チップキャパシタを内蔵した共振器について検討を行う．利点として、まずチップ素子を用いることによる小型化が挙げられる．共振器にキャパシタを装荷することにより、より短い線路長で所望の一次共振周波数を得ることができ、またキャパシタの素子値が大きいほど共振が低周波側に移動すると考えられ、一層の小型化が可能であると考えた．次に、調整の容易さである．チップ素子を使用しない場合、共振周波数の調整は共振器の線路長を変更することによって行うため、試作を一からやり直す必要がある．そこで、チップキャパシタを用いる

ことにより，容量値が異なるキャパシタを付け替えることによって同じパターンの基板を使用しながら調整が容易に行えるのではないかと考えた．そして，チップ素子は表面実装が一般的であるが，本検討では積層構造を利用してチップ素子を基板内に内蔵する．チップキャパシタを内蔵した2層の積層共振器の構造図を図7.3に示す．図7.3に示した構造図より，Layer1の共振器の片端及びLayer2の同位置に貫通穴を空ける．このとき，貫通穴が触れないようにLayer2の共振器はわずかに移動させる．その貫通穴にチップキャパシタを縦向きに埋め込むことで，実装する．以上の工程により，チップキャパシタの内蔵を行う．誘電体の内部にチップ素子が埋め込まれることから，素子の周囲が固められ基板の歪みによる回路の破損が起きにくいと考えられる．また，素子を内蔵することで基板の面積に変化がなく表面にスペースが確保されるため，他回路との接続を考えた際に近傍に他の電子部品を実装することも可能となり，実装密度の向上にもつながる．チップ素子の長さ L については基板厚を考慮する必要があるため，素子のサイズに注意し選定しなければならない．

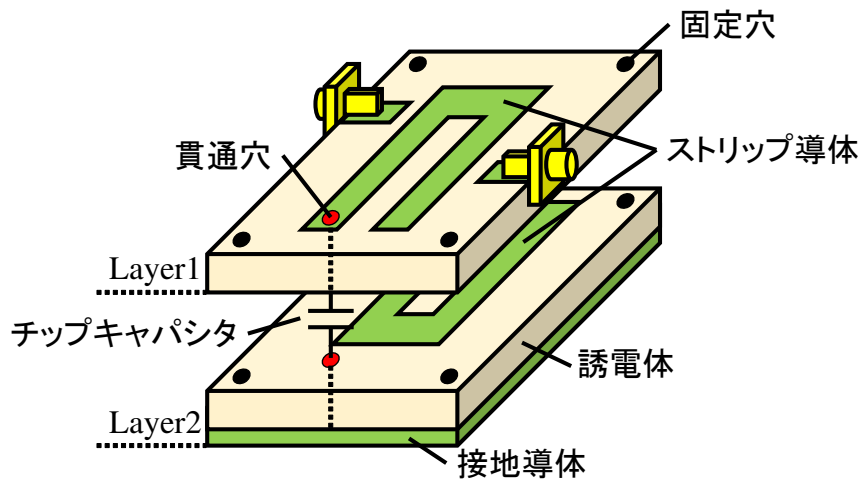


図 7.3: チップキャパシタを内蔵した2層の積層共振器の構造

7.2 チップ素子内蔵積層共振器の設計

設計したチップ素子内蔵積層共振器の回路構造を図7.4に示す．なお，設計の際には理想キャパシタを用いてシミュレーションを行う．Layer1の共振器には

0.8 mm×0.8 mm の正方形のパッドを付加し、そのパッド上に貫通穴を空ける．共振器に素子が触れる可能性を考慮し、Layer2 の共振器は Layer1 の共振器の真下ではなく、1.5 mm ずらした状態としている．図 7.4 に示した回路構造において、チップキャパシタの素子値を 0.5 pF、1.0 pF 及び 2.0 pF と変更した際に得られた透過特性及び 2.5 GHz 付近の拡大図をそれぞれ図 7.5 及び図 7.6 に示す．図 7.5 及び図 7.6 に示した透過特性より、0.5 pF のときは 2.62 GHz、1.0 pF のときは 2.5 GHz、2.0 pF のときは 2.36 GHz にそれぞれ一次共振が発生していることが確認できる．キャパシタの素子値が大きくなるほど一次共振は低周波側に移動しており、正しく動作していると考えられる．また、無負荷 Q 値は、0.5 pF のときは 174、1.0 pF のときは 279、2.0 pF のときは 262 と得られた．1.0 pF 及び 2.0 pF のときは概ね同じ程度の無負荷 Q 値を得られるが、0.5 pF のときは大幅に減少しており、容量値が小さいキャパシタを使用すると無負荷 Q 値が低下する可能性が挙げられる．容量値が小さいことにより寄生抵抗成分が大きく見え、損失が増加したことが原因ではないかと考えられる．

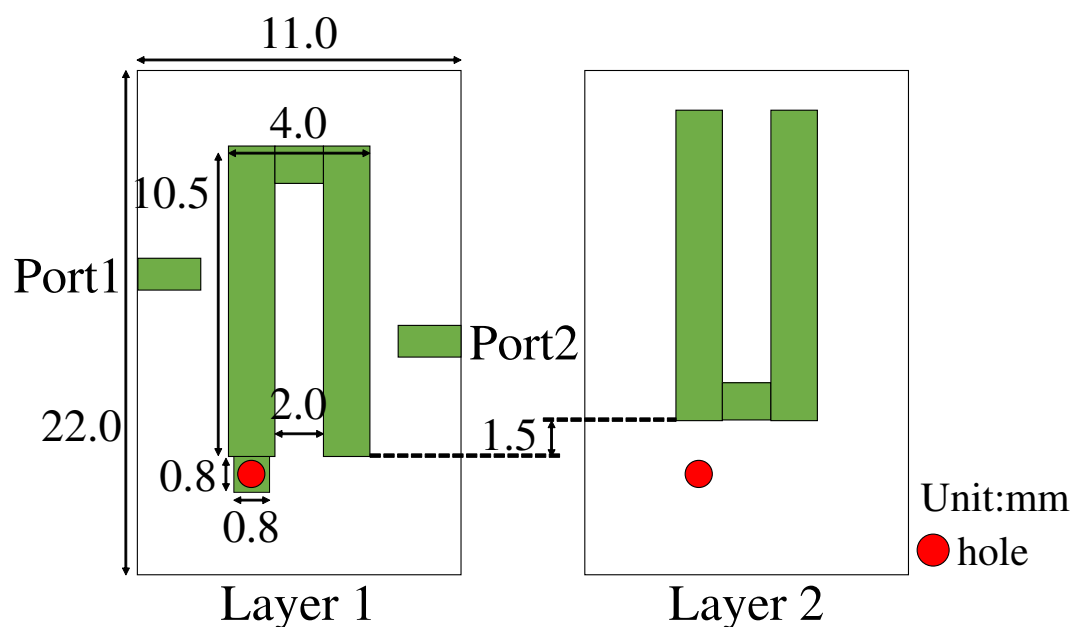


図 7.4: 設計したチップ素子内蔵積層共振器の回路構造

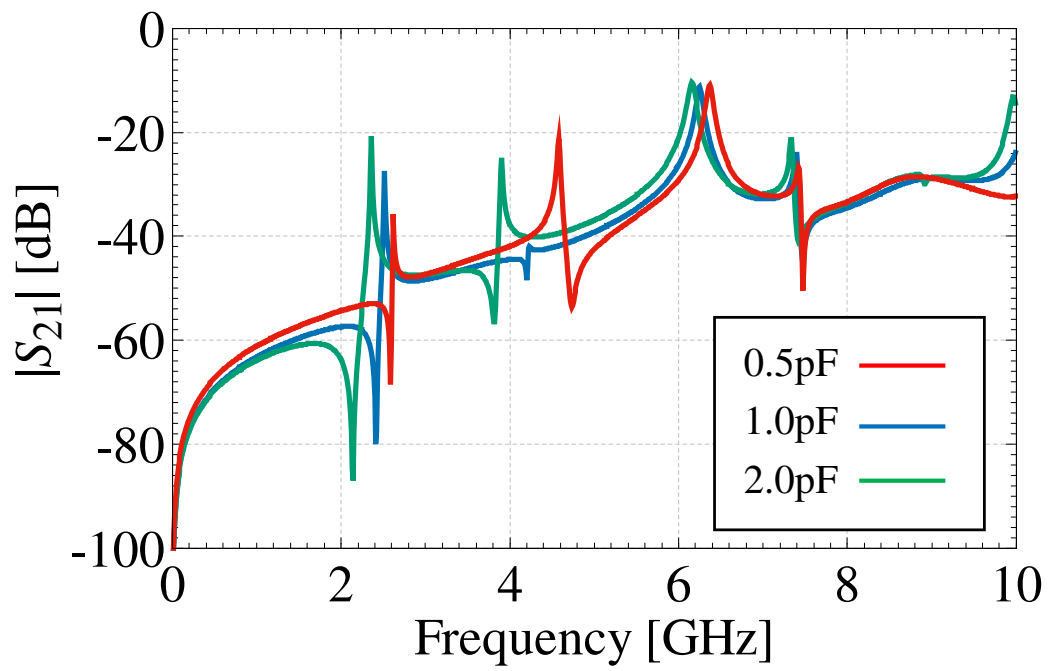


図 7.5: 図 7.4 に示した回路構造における伝送特性

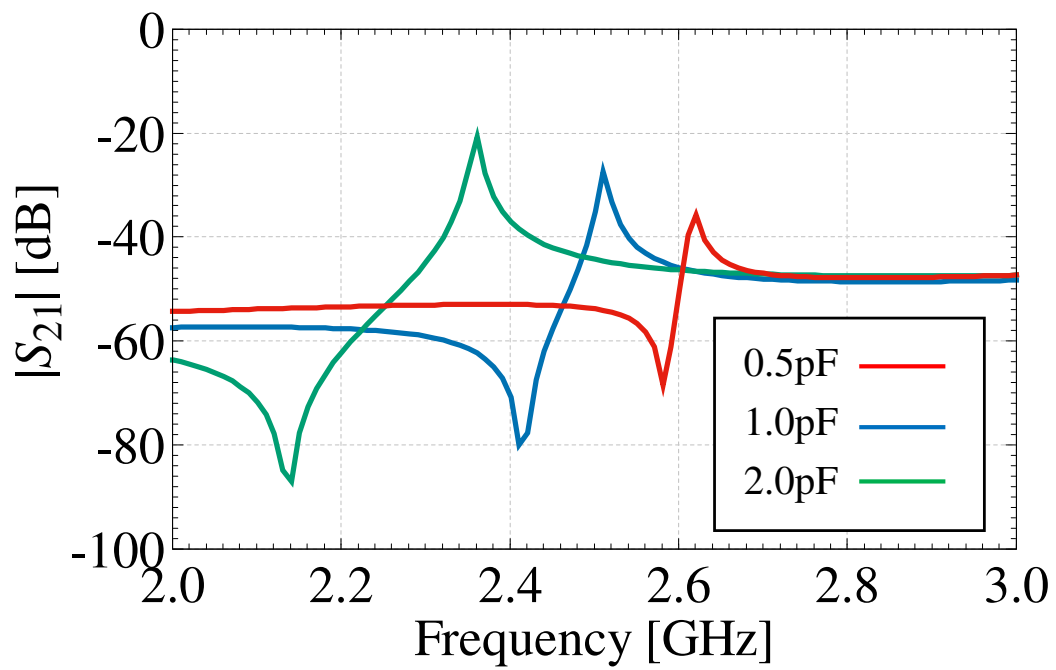


図 7.6: 図 7.5 に示した伝送特性における 2.5 GHz 付近の拡大図

7.3 チップ素子内蔵積層共振器の試作実験

図 7.4 に示した回路構造について試作を行う。同一の回路構造で共振器 3 個分、2 層のため基板としては 6 枚の回路を基板加工機で切削し、第 3 章で提案した試作方法を用いて試作する。共振器の片端には、3 個の共振器にそれぞれ 0.5 pF、1.0 pF 及び 2.0 pF のチップキャパシタを内蔵した。チップキャパシタのサイズは抵抗成分及び基板厚を考慮した上で、 $L=1.0\text{ mm}$ 、 $W=0.5\text{ mm}$ の 1005 型の素子とし、太陽誘電株式会社の 1005 型積層セラミックコンデンサを使用した。型番を表 7.1 に示す [14][15][16]。試作したチップ素子内蔵積層共振器の各層の様子及び完成品をそれぞれ図 7.7 及び図 7.8 に示す。また、測定して得られた透過特性及び 2.5 GHz 付近の拡大図をそれぞれ図 7.9 及び図 7.10 に示す。図 7.9 及び図 7.10 に示した透過特性より、試作した共振器において一次共振はそれぞれ、0.5 pF のときは 2.85 GHz、1.0 pF のときは 2.59 GHz、2.0 pF のときは 2.85 GHz で発生した。基準とした 1.0 pF のキャパシタを装荷した際には、シミュレーションによる計算結果と比較して一次共振は約 0.09 GHz 高周波側に移動したが、大きい差は出なかったことから計算と同様に試作が可能であると考えられる。しかし使用したキャパシタは、企業より配布されているデータシート上では 2.5 GHz では約 1.2 pF として動作するということであり、それならば周波数は低周波側に移動することが予想される。実際には高周波側に移動したことから、試作誤差などの要因があると考えられる。0.5 pF のキャパシタについては、一次共振が約 0.2 GHz 程度高周波側に移動する結果となり、基準とした 1.0 pF の時に高周波側に移動していることを踏まえると妥当な値になっているのではないかと考えられる。しかし、2.0 pF のキャパシタを装荷した際には、本来電気長が長くなっていると考えられることから、計算結果のように基準と比較して低域に共振が発生するはずのところ、約 0.5 GHz 程度高域に発生する結果となった。いずれのキャパシタを内蔵する場合に関しても、チップキャパシタが正確に装荷されていない可能性を考え複数回の試作を行ったが、いずれもほぼ同様の結果であった。したがって、2.0 pF のキャパシタを装荷した際にはシミュレーションでは考慮できない現象が発生しているか、もしくは一次共振が過度に小さいために、発生していることが確認できていない可能性が考えられる。

また，無負荷 Q 値はそれぞれ 0.5 pF のときは 109， 1.0 pF のときは 173， 2.0 pF のときは 158 と得られた．無負荷 Q 値が減少した原因としては，HFSS でシミュレーションを行う場合チップ素子を理想素子として計算を行うが，実際に試作を行うとチップキャパシタには図 7.2 に示した等価回路が存在することから，高周波になるほどキャパシタ自体の無負荷 Q 値が減少し，それに伴って共振器の無負荷 Q 値が減少したと考えられる．

表 7.1: 使用した素子の型番

素子値	型番
$0.5\text{ pF} \pm 0.1\text{ pF}$	EVK105CH0R5BW-F
$1.0\text{ pF} \pm 0.1\text{ pF}$	EVK105CH010BW-F
$2.0\text{ pF} \pm 0.1\text{ pF}$	EVK105CH020BW-F

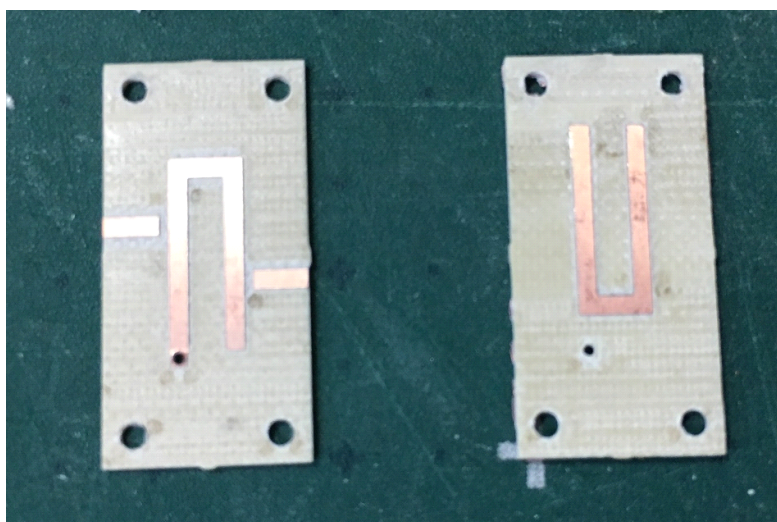


図 7.7: 試作した各層の基板の様子

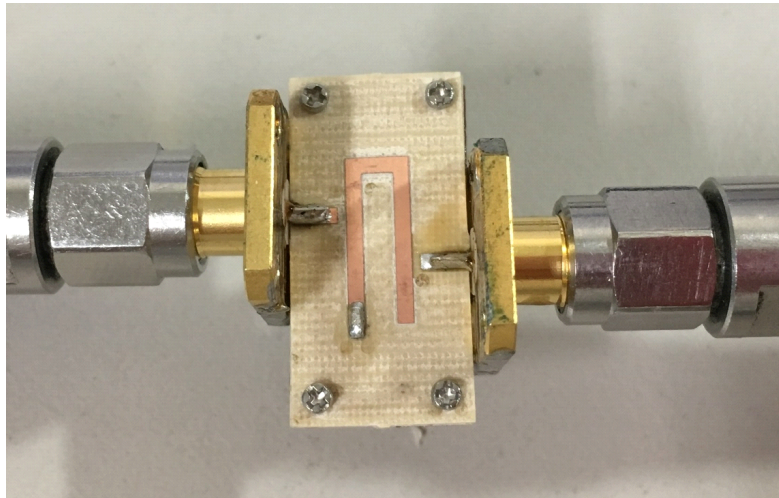


図 7.8: 試作したチップ素子内蔵積層共振器

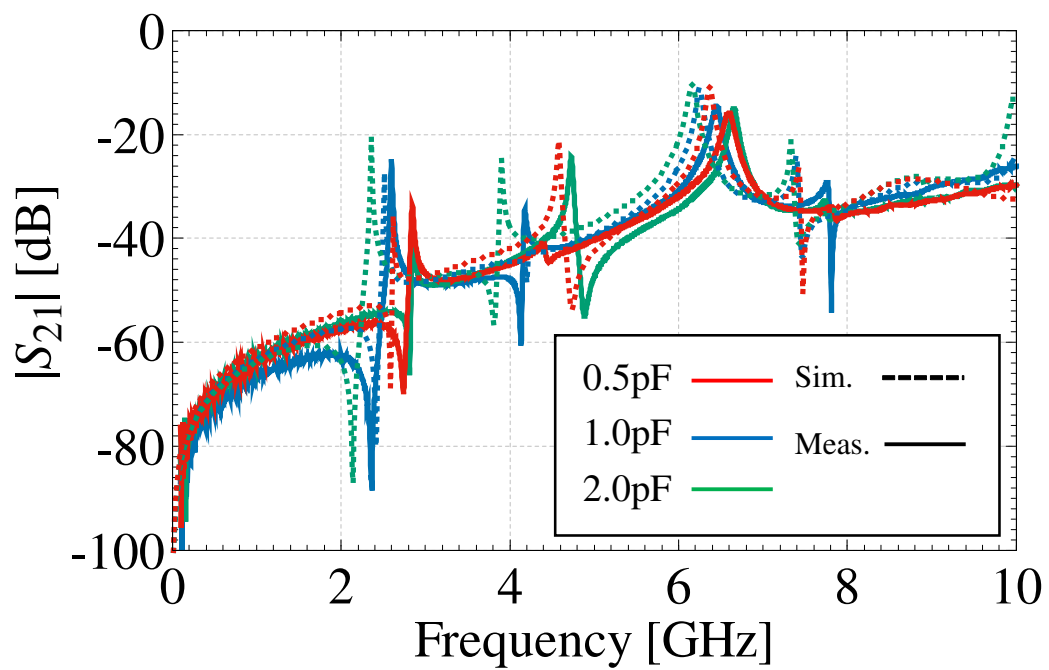


図 7.9: 試作した共振器より得られたチップキャパシタのキャパシタンスを変化させた際の透過特性

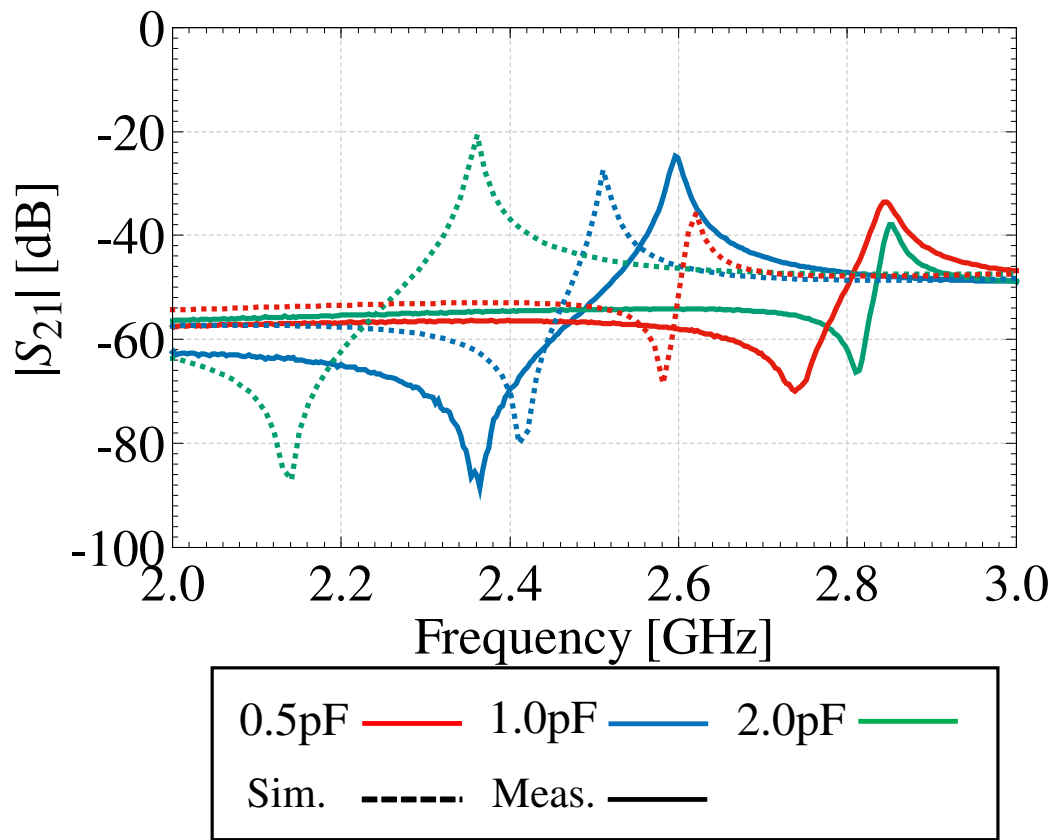


図 7.10: 図 7.9 に示した透過特性における 2.5 GHz 付近の拡大図

第8章 チップ素子内蔵2層3段BPF

8.1 チップ素子内蔵BPFの設計

前章にて設計したチップ素子内蔵共振器を用いて、3段BPFの設計を行う。本検討では、図7.4に示した回路構造を用いて、試作実験をした際に概ねシミュレーション結果に近い結果となった1pFのキャパシタを装荷したときの共振器を使用する。キャパシタを内蔵した共振器を使用したBPFの設計は可能かどうかを確認することで、実現性について検討を行う。まず、5.1節と同様に外部Q値及び結合係数から共振器の配置を決定する。設計仕様は4.1を使用するため、目標値に変更はなく $Q_{\text{ex}} = 5.16$ 及び $k = 0.18$ である。はじめに外部Q値についてシミュレーションより得られた給電線の位置 t 及び外部Q値の関係性を図8.1に示す。図8.1に示した関係性より、給電線の位置は最も目標値に近い外部Q値を得る $t = 8.1 \text{ mm}$ と決定した。次に結合係数については、2箇所共振の周波数から求める必要があるが、共振を確認できなかったため求めることができなかった。そのため、使用する基板加工機の加工精度が保たれる最低幅である $d = 0.2 \text{ mm}$ として設計を行う。以上の結果を用いて設計した2層3段BPFの回路構造を図8.3に示す。また、図8.3に示した回路構造よりシミュレーションから得られた伝送特性及び通過帯域付近の拡大図をそれぞれ図8.4及び図8.1に示す。図8.4及び図8.1に示した伝送特性より、中心周波数2.55 GHz、通過帯域幅488 MHz、挿入損失の最悪値0.92 dB、反射損失の最悪値10.47 dBと得られた。設計仕様と比較して中心周波数は0.05 GHz高周波側へ移動し、通過帯域幅は22 MHz狭帯域になったが、わずかなずれとなっている。また、挿入損失は1 dB以下及び反射損失は10 dB以上を確保しており、非常に良好な特性となっていることを確認した。回路の調整や、装荷するチップキャパシタの容量を変更してインピーダンス整合をとることにより、更なる特性

の改善の余地もあり，チップ素子内蔵 BPF の実現性は高いと考える．考慮すべき点として，4 GHz 付近に共振が発生しており，通過帯域の近傍となるため影響が発生する可能性が高く，除去及び抑制の対策が必要になると予想される．

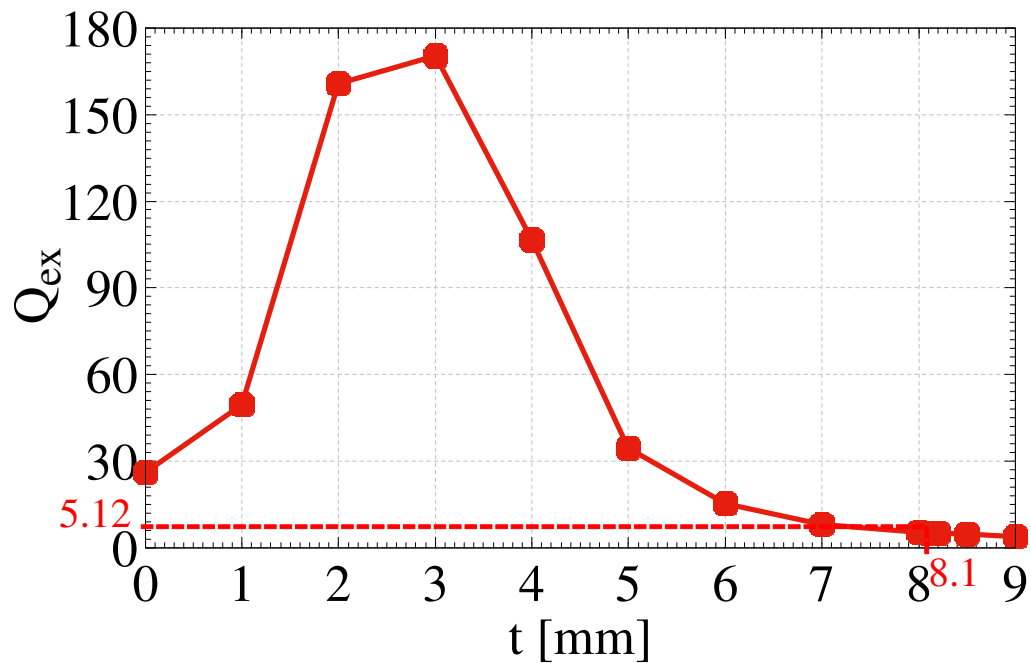


図 8.1: 給電線の位置 t 及び外部 Q 値の関係

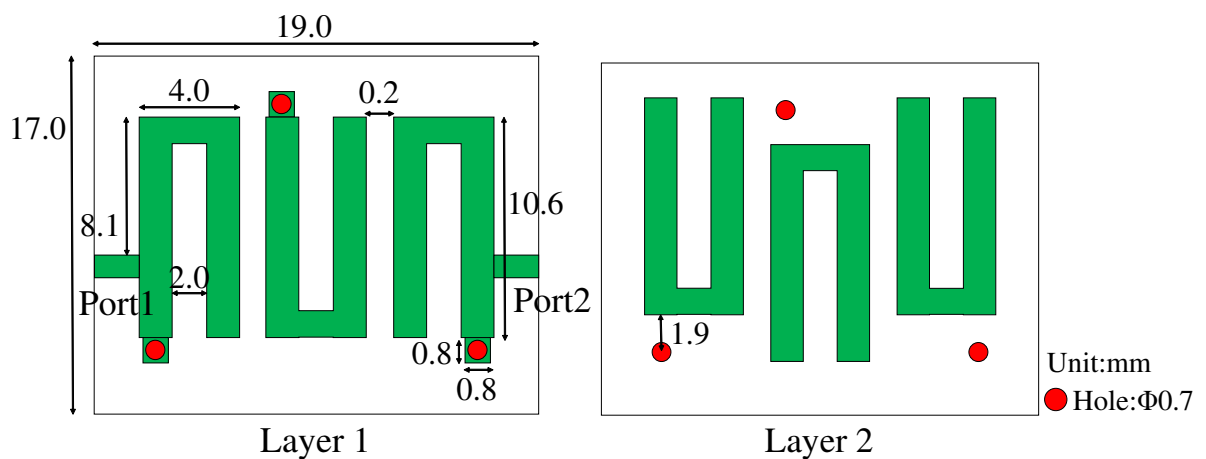


図 8.2: チップキャパシタを内蔵した 2 層 3 段 BPF の回路構造

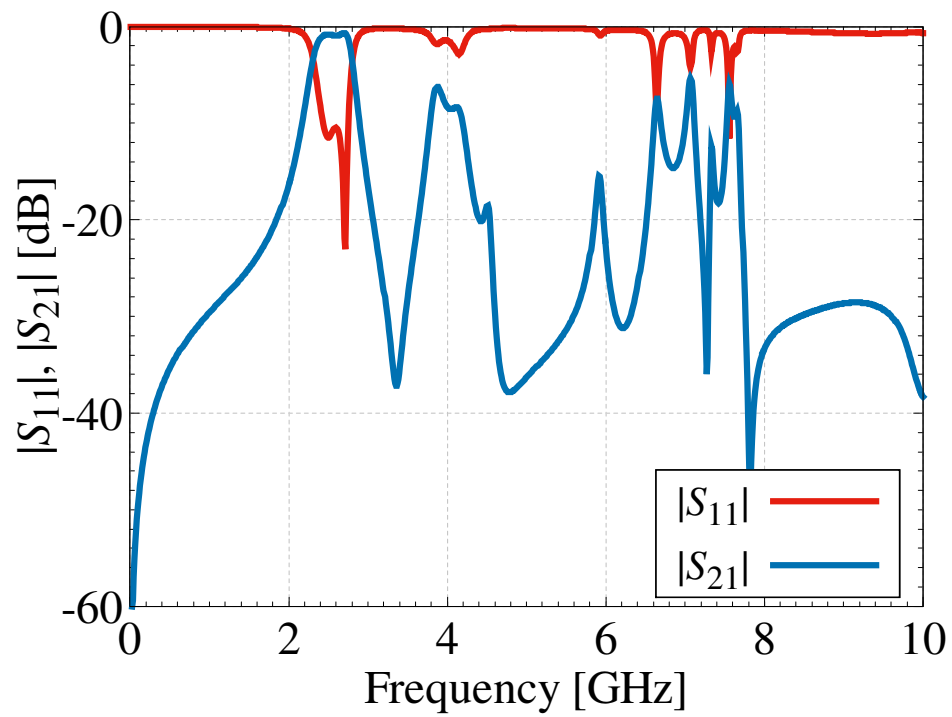


図 8.3: 図 8.2 に示した回路構造における伝送特性

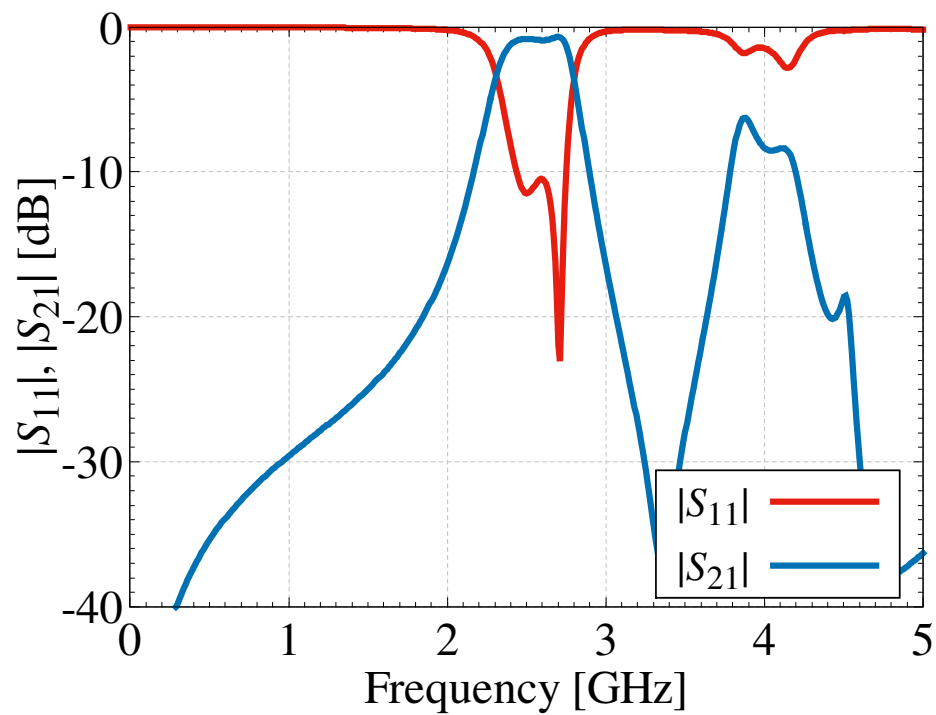


図 8.4: 図 8.3 に示した伝送特性における通過帯域付近の拡大図

8.2 今後の課題

本修士論文では，チップ素子内蔵 BPF について構造設計までの内容とする．今後の課題として，まずはチップ素子内蔵積層共振器について，シミュレーション及び測定結果における一次共振の周波数が異なる点の検討が挙げられる．具体的には，2.0 pF のチップキャパシタを内蔵した際に一次共振が高域化したことについて，本検討では使用しなかった他の素子値を用いた場合に同様の現象が発生するのか検証を行う必要がある．また，チップ素子内蔵 2 層 3 段 BPF については，まず試作を行うことでシミュレーションによる計算結果と一致する結果となるのか検証することが挙げられる．一致しない場合には，試作段階における問題やシミュレーションでは把握できない問題があることが考えられるため，更なる検討が必要である．

第9章 結論

本論文では、基板加工機を使用した簡易的な積層基板の試作手法を提案し、その方法を用いることで積層サスペンデッドマイクロストリップ線路構造の2層の積層共振器及びその共振器を用いた3段BPFの設計及び試作を行った。加えて、チップ素子を基板に内蔵することによる基板の歪みに考慮した共振器を設計及び試作し、その共振器を用いたBPFの設計を行った。第1章では、現在の積層基板技術に関する背景について述べ、先行文献の調査を行った。第2章では、従来の積層基板の工法についての問題点及び問題点に対する構造の提案を行った。第3章では、基板加工機を用いた試作方法について提案した。第4章では、第3章で述べた試作方法を用いた積層共振器の実現について述べた。試作実験においては共振器の実現に成功した。第5章では、積層共振器を用いた2層3段のBPFの実現について述べた。試作実験において単層に対し小型化したBPFの実現に成功し、提案した試作方法の有効性を確認した。第6章では、共振器及びBPFの試作実験を通しての考察を行った。第7章では、チップ素子内蔵共振器について提案し、設計及び試作実験を行った。本章では、チップ素子を内蔵した共振器が実現可能であることを示した。第8章では、第7章にて実現した共振器を用いたチップ素子内蔵2層3段BPFの設計について述べた。中心周波数は2.56 GHzと仕様に近い値となり、BPFの実現可能性があることを示した。

謝辞

本論文の作成にあたり、助力頂いた多くの方々への感謝をこの場で示します。

指導教員の和田光司教授には大変厚意あるご指導を賜ったこと、ここに厚く御礼申し上げます。同じく指導教員である小野哲助教にも丁寧なご指導を賜り、大変感謝しております。先生方のご指導あってこそ、実りある研究生活となりました。

研究室で共に過ごした皆様にも感謝しております。既に卒業なされた先輩方には特に多くの助力を頂き、大変お世話になりました。この研究室で培った経験を、今後の社会人生活にも活かしていけるよう日々研鑽していきたく思います。

最後に、離れながらも大学生活を支えてくれた家族、時には相談に乗ってもらい多くの思い出をくれた友人たち、そして楽しい時も辛い時もいつでも隣で支えてくれた大切な人に、心より感謝を申し上げます。ありがとうございました。

なお、本研究の一部は東京大学大規模集積システム設計教育研究センターを通し、Keysight Technologies, inc. の協力で行われたものである。

参考文献

- [1] A.Altaf,C.Xi,and J.Miao,“Design,Optimization and Realization of Two Compact C-band Microstrip BPF Structures,”2019 16th International Bhurban Conference on Applied Sciences and Technology(IBCASC),pp.979-984,Jan.2019.
- [2] C.S.Kavitha Devi,H.Umadevi,and Jambunath S.Baligar,“Designing of Reconfigurable Compact Bandpass Microstrip Filter,”2019 3rd International Conference on Electronics,Communication and Aerospace Technology(ICECA),pp.726-730,Jun.2019.
- [3] 栗井郁雄, 井上裕之,“ブロードサイド結合インターディジタル共振器,”2005 信学総大,C-2-84,Mar.2005.
- [4] 前田祐輔, 栗井郁雄,“ブロードサイド結合共振器を用いた BPF,”2008 信学総大,C-2-104,Mar.2008.
- [5] 濱口佳明, アルンクマルシャハ, 栗井郁雄,“ブロードサイド結合オープンリング共振器 BPF,”2007 信学総大,C-2-102,Mar.2007.
- [6] Y.Zhang and K.A.Zaki,“LTCC Multi-layer Coupled Strip-Resonator Filters,” 2007 IEEE/MTT-S International Microwave Symposium,pp.1039-1042,Jun.2007.
- [7] 双石文彦, 小野哲, 和田光司,“チップコンデンサとマイクロストリップ線路で構成した CRLH 伝送線路共振器を用いた有極形小型 BPF,” 信学技報,vol.116,no.363,MW2016-160,pp.159-164,Dec.2016.

- [8] Keren Li, Yasuhisa Yamamoto, Toshiaki Matsui, Osamu Hashimoto, “An ultra-wideband(UWB) bandpass filter using broadside-coupled structure and shunt stub with chip capacitor,” 2006 Asia-Pacific Microwave Conference, pp.41-44, Dec.2006.
- [9] 株式会社メイコー, “M-VIA I ・ II —製品情報,” <https://www.meiko-elec.com/product/detail/001.html> (参照 2020-12-15)
- [10] Panasonic Corp., “超低伝送損失・高耐熱多層基板材料 MEGTRON7 R-5785(N),” <https://industrial.panasonic.com/jp/products/electronic-materials/circuit-board-materials/megtron/megtron7> (参照 2020-9-23)
- [11] 祝誠一郎, “高周波アンテナ用の低誘電体開発,” バルカー技術誌, No.17, pp.16-20, 2009.
- [12] 川俣雅寿, 和田光司, “プリント基板加工機によるマイクロストリップ線路とチップキャパシタを用いた 2GHz 帯超小型 BPF の実現,” 信学技法, Vol.115, No.477, MW2015-192, pp.107-112, Mar.2016.
- [13] 平塚敏朗, “実際の応用例に学ぶマイクロ波フィルタの基本設計,” https://apmc-mwe.org/mwe2014/pdf/tut13/TL13_01b.pdf (参照 2020-12-17)
- [14] 太陽誘電株式会社, “EVK105CH0R5BW-F,” <https://ds.yuden.co.jp/TYCOMPAS/jp/detail?pn=F&u=M> (参照 2020-12-21)
- [15] 太陽誘電株式会社, “EVK105CH010BW-F,” <https://ds.yuden.co.jp/TYCOMPAS/jp/detail?pn=F&u=M> (参照 2020-12-21)
- [16] 太陽誘電株式会社, “EVK105CH020BW-F,” <https://ds.yuden.co.jp/TYCOMPAS/jp/detail?pn=F&u=M> (参照 2020-12-21)

発表・受賞実績

発表実績

- [1] 青木 いりあ, 小野 哲, 和田 光司, “ヘアピン共振器で構成した積層サスペンデッドマイクロストリップ線路共振器を用いた BPF の基板加工機による製作に関する検討,” 超高速・高周波エレクトロニクス実装研究会 令和元年第 3 回公開研究会, 2019 年 11 月.